

Advanced parallel array processor (APAP).

Patent
Number: ☐ EP0570950, A3

Publication
date: 1993-11-24

Inventor(s): COLLINS CLIVE ALLAN (US); GRICE DONALD GEORGE (US); KOGGE PETER MICHAEL (US); KUCHINSKI DAVID CHRISTOPHER (US); LESMEISTER DONALD MICHAEL (US); NIER RICHARD EDWARD (US); RICHARDSON ROBERT REIST (US); ROLFE DAVID BRUCE (US); SMORAL VINCENT JOHN (US); WILKINSON PAUL AMBA (US); BARKER THOMAS NORMAN (US); DAPP MICHAEL CHARLES (US); DIEFFENDERFER JAMES WARREN (US); KNOWLES BILLY JACK (US); MILES RICHARD ERNEST (US); RETTER ERIE EUGENE (US); SCHOONOVER NICHOLAS JEROME (US); STUPP JAMES ROBERT (US)

Applicant(s):: IBM (US)

Requested
Patent: ☐ JP6231092

Application
Number: EP19930108192 19930519

Priority
Number(s): US19920887630 19920522



IPC
Classification: G06F15/16

EC
Classification: G06F9/38E4, G06F15/173N4D

Equivalents: JP2710536B2

Abstract

A parallel array processor is formed. Eight processors on a single chip have their own associated processing element, memory, and I/O and are interconnected with a hypercube based topology. These nodes are then interconnected, either by a hypercube, modified hypercube, or ring, or ring within ring network topology. The new architecture merges processor and memory with multiple PMEs in DRAM and has no memory access delays and

uses all the pins for networking. The chip can be a single node of a fine-grained parallel processor.  

Data supplied from the esp@cenet database - I2

列計算にうまく適用できるのは、この近隣接通信パターンまたは特性による。

【0035】・ピケット

これは、アレイ・プロセッサを構成する要素のアレイ内の要素である。この要素は、データ・フロー（ALU REGS）、メモリ、制御機構、通信やトリックスのこの要素と関連する部分から構成される。この単位は、並列プロセッサ要素およびメモリ要素と、その制御機構およびアレイ相互通信機構の一部から成るアレイ・プロセッサの1/nを指す。ピケットは、プロセッサ・メモリ要素（PME）の1つの形である。本発明のPMEチップ設計プロセッサ論理回路は、関連出願に記載されているピケット論理を実施し、あるいはノードとして形成されたプロセッサ・アレイ用の論理を持つことができる。ピケットという用語は、処理要素を表す、一般的に使用されているアレイ用語のPEと似ており、好ましくはピケット並列パイプの情報をクロック・サイクルで処理するための処理要素とローカル・メモリの組合せからなる、処理アレイの要素である。好ましい実施例は、パイプデータ・フロー・プロセッサ、32パイプ以上のメモリ、原始制御機構、および他のピケットとの通信機構から構成されている。

【0036】「ピケット」という用語は、トム・クーパーと、彼の古いアレンダに由来している。ただし、機能的には、単独のピケット・アレイと類似性があることも理解される。

【0037】・ピケット・チップ

ピケット・チップは、単一のシリコン・チップ上に複数のピケットを含んでいる。

【0038】・ピケット・プロセッサ・システム（またはサブシステム）

ピケット・プロセッサは、ピケットのアレイと、通信ネットワークと、入出力システムと、マイクロプロセッサ、キャッシュ・ユニット・プロセッサ、およびアレイを実行するマイクロコントローラから成るSIMD制御装置とから構成されるトータル・システムである。

【0039】・ピケット・アーキテクチャ

ピケット・アーキテクチャは、SIMDアーキテクチャの好ましい実施例であり、次のような複数の多様な問題に対してできる機能をもつ。

・列・連想処理

・並列数値計算処理

・メモリに類似した物理的レイアウト

【0040】・ピケット・アレイ

ピケット・アレイは、並列的に動作する、入出力システム・メモリ・制御機構、処理機構、およびメモリから成る。

【0041】・PMEチップの要素・プロセッサ・メモリ要素

PMEは、プロセッサ・メモリ要素と、その制御機構と、アレイ相互通信機構の一部から成るアレイ・プロセッサの1/nを指す。ピケットは、プロセッサ・メモリ要素（PME）の1つの形である。本発明のPMEチップ設計プロセッサ論理回路は、関連出願に記載されているピケット論理を実施し、あるいはノードとして形成されたプロセッサ・アレイ用の論理を持つことができる。

および入出力可能なシステム要素もしくはユニットを指すのに使用する。PMEは、ピケットを包含する用語である。PMEは、プロセッサ、それと結合されたメモリ、制御インタフェース、およびアレイ通信ネットワーク機構の一部分から成るプロセッサ・アレイの1/nである。この要素は、ピケット・プロセッサにおけるように、正規のアレイの接続性を持つPME、あるいは上述の多重PMEノードにおけるように、サブアレイの一部としてのPMEを備えることができる。

10 【0042】・経路指定

経路指定とは、メッセージを宛先に届けるための物理経路を割り当てることである。経路の割り当てには、発信元と宛先が必要である。これらの要素またはアドレスは、一時的な関係または類似性を持つ。メッセージの経路指定は、しばしば、割り当てのテーブルを参照することによって得られるキーに基づいて行われる。ネットワーク内では、宛先は、リンクを識別する経路制御アドレスによって、伝送される情報に宛先としてアドレス指定される、任意のステーションまたはネットワークのアドレス指定可能なノードである。宛先アドレスは、メッセージ・ヘッダ宛先ノードで宛先を識別する。

【0043】・SIMD

アレイ内のすべてのプロセッサが、同一命令システムから、1処理要素当たり1つずつ配置された複数データ・ストリームを実行するように指令を受ける、プロセッサ・アレイ・アーキテクチャ。

【0044】・SIMDMIMDまたはSIMD-MIMD

SIMDMIMDまたはSIMD-MIMDとは、ある時間の間MIMDからSIMDに切り換えて複雑な命令を処理できる二重機能を持ち、したがって2つのモードを持つマシンを指す用語である。シンキング・マシンス社（Thinking Machines, Inc）の接続マシン・マシン（Connection Machine）モデルCM-2がMIMDマシンのフロント・エンド部分はバス・エンドとして配置すると、プログラマは、二重モードにも対応する、複数のモードを動作させてある問題の別々の部分を実行することができた。このマシンは、ILLIAC2と存在しており、バスを使用してマスタCPUと他のプロセッサ相互接続している。マスタ制御プロセッサは、他のCPUに処理に割り込む能力を持つ。他のCPUは、独立してプログラム・モードを実行できる。他のCPU、他のCPUは、機能使用に必要に応じて、必要である（例、入出力や他の機能の要求）。（ILLIAC2）。

【0045】・SIMMIMD

SIMMIMDは、SIMDとMIMDの両方の機能を持つ、二重モードマシンであり、1処理要素当たり1つずつ配置された複数データ・ストリームを実行するように指令を受ける、プロセッサ・アレイ・アーキテクチャ。このマシンは、ILLIAC2と存在しており、バスを使用してマスタCPUと他のプロセッサ相互接続している。マスタ制御プロセッサは、他のCPUに処理に割り込む能力を持つ。他のCPUは、独立してプログラム・モードを実行できる。他のCPU、他のCPUは、機能使用に必要に応じて、必要である（例、入出力や他の機能の要求）。

13

チップ間での2地点間接続を行う。さらに、トランスピュータ用の特殊回路およびインタフェース・チップを使用し、これを特殊装置、クアッドックス制御装置、またはディスク制御装置の要件に合わせて調整された特殊目的に使用できるように適合させている。インモスIMS-M212は16ビット・プロセスであり、1個のオン・チップ・メモリと複数の通信リンクを備えている。このプロセスは、ディスク・システムを制御するためのハードウェアおよび論理回路を備えており、プログラマブル・ディスク制御装置または汎用インタフェースとして使用できる。並行性（並列動作）を使用するため、インモス社ではトランスピュータ用の特殊言語であるOcamを開発した。プログラマは、トランスピュータのソフトウェアを直接Ocamプログラムで記述する必要がある。

【0059】これらの大規模並列マシンのいくつかは、様々なトポロジーで相互接続されたプロセッサ・チップから成る並列プロセッサ・アレイを使用している。トランジエータは、IMS-C004チップを追加してタスク・ネットワークを形成する。さらに、ハイパーキューブ接続を使用するシステムもある。システムは、バスを使用して、マイクロプロセッサとそれに関連した回路を接続するシステムもある。図2交換プロセッサによって相互接続されたマイクロプロセッサ・アレイが可能であるトポロジーを使用して、システムもある。図3は、ローレンス・リバーモア(Lawrence Livermore)で、チップを相互に配線することによって相互接続された14個のRISC-6000の場合のように、プロセッサ・アレイが可能であるトポロジーは多数並列プロセッサをなされるようになっている。

【0060】い、つかの大規模なマシンの買い入れは、パナソニックおよびNキョーポ社その他によって、データ処理におけるいわゆる「遠大な課題」に対処するために構築されている。しかし、これらのコンピュータはいわめて高価である。「遠大な課題」に対処するために、国政府が調整資金を提供しているが、財政上最も最近の見積りによれば、約3000～7500万ドル（十億ラッピット）である。これら「遠大な課題」には、気候の検定と予測、乱流、汚染分散、大気質指標に基き海流のモデル化等、量子力学の力学、計算科学及び天文学の分野の研究を含むものである。然し、この研究、開発計画は、環境保護の

[illegible]

14

ームを有する。本発明のPMEは一般に、トランスピュータおよびRP3のPMEに適用できる。しかし、以下で分かるように、本発明の小型チップは多くの点で大幅に異なる。本発明の小型チップは後述する多数の機能を有する。しかし、PMEという用語が、最初はRP3として知られる大規模並列マシンの基礎になった、現在ではより典型的となった別のPMEを表すために作り出されたことを、本発明者等は承知している。RP3（IBM研究用並列処理プロトタイプ）は、複数命令複数データ（MIMD）アーキテクチャに基づく実験的並列プロセッサであった。RP3は、IBMのT. J. Watson研究所でニューヨーク大学アルゴリズム・コンピュータ・プロジェクトと協力して設計し構築された。この研究は一部、米国防務省高等研究企画庁の支援を受けた。RP3は、高速オメガ・ネットワークと相互接続された64個のプロセッサ・メモリ要素（PME）から構成されていた。各PMEが、32ビットのIBM PC Scientificマイクロプロセッサ、32KBキャッシュ、4MBセクタントのシステム・メモリ、および入出力ポートを備えている。PME入出力ポート・ハードウェアおよびソフトウェアは、初期設定、状況獲得、ならびに共用入出力ポート・プロセッサ（ISP）によるメモリとプロセッサの通信を介する。各入出力ポート・プロセッサは、システム・ネットワークとは独立に、拡張入出力アダプタ（ETIO）により8個のPMEを介する。各入出力ポート・プロセッサは、IBM S/370チップをおよびIBMトランク・リング・システム・インターフェース、オメガ・モータ・サーキットを提供する。各拡張入出力アダプタは、装置としてPME・ROMP記憶チャネル（RSC）に接続され、ETIOチャネルを介してプログラマブルPME制御・状況信号入出力を提供した。ETIOチャネルは、ISPを8個のアダプタに相互接続する32ビット・バスである。ETIOチャネルは、ETIOアダプタ上のハードウェアの入出力ポート・プロセッサ上のソフトウェアでサポートされるシステム・インターフェース・ドライバを使用していた。

【 0 0 6 2 】

[illegible]

16

路を舗装するのと同様に組み立てることができる。この手、びは、複製物の接続により、「家」すなわち複合コンピュータ・システムの構築に必要な構造を提供する。

【0069】本発明を概観すると、それぞれ内部アレイ機能および外部入出力BCIを備え、メモリに組み込まれた8個以上のプロセッサを備える、同一の小型チップ4個で、3.6以上の複合コンピュータのメモリおよび処理能力が提供される。これらにチップは、そのすべてをコンパクト・ハイブリッド・パッケージングにより臨時計程度のサイズに配置することができ、また各チップが約2Wしか散逸しないので、きわめて低い電力で動作させることができる。本発明者等は、このチップを用いて多数の新規概念を開発しており、独自の発明と考えた概念については、実施例および特許請求の範囲で詳しく記述する。本発明のコンピュータ・システムを用いて構築できるシステムは、小型装置から、PETAOP能力を有する規模なシステムまでの範囲に及ぶ。

10

30

317

46

24

【0068】本装置は、 $1.4 \times 1.4 \text{ mm}$ の CMOS 型 CCD 素子を用いた。

【 0 0 7 0 】 本明細書では、小型の「モーフ・チップ・ブレイク・プロセッサ」を「APAP」と呼んでいる。この「プロセッサ」は小型であるが、複雑で強力である。典型的な「システム」は多数の「モーフ」を有する。本明細書および関連出願に、本発明の他の形態様および特徴が記載されている。本発明のこれらの概念および特徴は、各発明を使用しないか、別システム、システムを改変し、かつそれよりな別システム、システムに適用できる。本発明の概念および特徴は、次の例に採用され使用されるものと本発明者等は考えている。

【0071】ここでは、本発明の新しい、新しい概念を表す拡張並列プロセス・プロセッサ（APAP）と、簡単に（固有の部品数が減らされてない）非常に高性能のマイクロ・コンピュータ可能な電機並列プロセス（MPP）を開発する際の努力について概説する。本発明のプロセスは、好ましい実施例ではVLSIチップで實現して、なる。このチップでは、 n 個のPMEマイクロコンポーネントを備えている。 n は、最大アレイ次元数を表す、チップにはさらに、短距離通信・制御インタフェース（BCI）、チップ上のPME間内部通信経路および、外部チップ・システム回路へ外部通信経路を備えて、いる。好ましく、チップでは、8個のPME（6が好ましくは多く設けることもできる）と1つのBCIを有している。この n 個のPMEと1つのBCIが、チップに実装される。また、このチップは、SIMDまたはMIMDモードで動作し得て、単一SIMD/MODEL、分散型連任、またはSIM/MIMD被使用して被機能を実現すること、あるいは、それらの中間的なこと、即ちハイブリッドなことを可能にする。このチップは、ハードウェアとして製造され、あるいは、ソフトウェアで實現される。PMEの数は、任意の数のチップにわたって増やせる。また、チップ間の通信も、容易に実現可能である。

ロザッサまたはパーソナル・コンピュータ・レベル、ワークステーション・レベル、ビジョンまたはアビオニクス・レベルで代表される特殊アプリケーション・レベルの多重並列マイクロコンピュータ機能を提供する。また、完全に拡張すると、スーパーコンピュータの範囲に及び強力なギガビット性能をもつさらに高いレベルの機能が提供される。複製すると並列クラスタとなる、高度に拡張されたDRAMチップを1つ使用することにより、単純さが実現される。このため、チップ数、さらにマイクロの数などを変えることにより、部品数が抑えられ、コストまたは性能上のニーズに対するスケールアップ能力が提供できる。

【００７２】本発明の手法によれば、一連のアプリケーションを並列に処理するという要件を満たす属性をもつマシンが提供できる。本発明の、サブチップ・レベルで並列化を実施する方法により、重量、体積、反復コストおよび予備品在庫コストが削減される。

【 0 0 7 3 】 本発明の様々なサイズプログラムシステムはすべて、同一のプラットフォームを基にして構成され、そこで、ソフトウェア・アプリケーションはあらゆるサイズのシステムに共通である。このため、すべてがコンピュータ（マイクロプロセッサ）、航空宇宙、および地上のハードウェア（プラットフォーム）で交換可能な（小規模なマイクロプロセッサ・プラットフォーム上で実行する）開発ソフトウェアが可能となる。すなわち、すべての規模のプラットフォーム上で実動のプログラムを実行している、またはソフトウェア・プラットフォーム上でプログラムの開発を行うことができる。

【00074】本発明の技術が実現は、コンピュータシステムにおいて、技術、性能、コスト、および認識面で課されている今日の要件を満たすとともに、将来、システムが拡張可能である。本発明のMPP手法は、チップ・レベルから出発する中で、まずチップ技術について説明し、最後にスーパーコンピュータ・アーキテクチャについて特述する。

[illegible]

卷二

【００７６】拡張並列アレイ・プロセッサ（ＡＰＡＰ）は、密並列プロセッサである。ＡＰＡＰは、パーソナル・コンピュータ処理アプリケーションによるスーパーコンピュータ処理に適した構成が満足されるように、区分可能な制御セクションおよび処理セクションから構成されている。大部分の構成では、これはホスト・プロセッサに接続され、ホストの作業負荷の急激なピークへの対応コードをサポートする。ＡＰＡＰアレイ処理要素は汎用コンピュータなので、オフロードされる作業負荷の種類は、ホストの機能に応じて変わる。たとえば、本発明のＡＰＡＰは、ＩＥＭ ３０９０ベクトル・プロセッサ・モジュールフレームのモジュールとすることができる。高性能ベクトル浮動小数点機能を備えたスーパーフレームに接続する場合は、オフロードされるタスクが疎密行列変換であってよい。また、パーソナル・コンピュータに接続する場合は、オフロードされるタスクが数値計算中心の３次元図形処理であってよい。

【0077】「Parallel Associative Processor System」に題する米国特許出願第07-611594号では、
 1) 1つのチップ・セット、および1個制御論理回路を単一チップ内に
 統合し、2) 単一チップで多くの組合せを複製して、単一チップ
 の複製からプロセッサ・システムを構築するといった考え
 が記載されており、必要により参照されたい。この手法
 は、本発明で示結され拡張されて、以下1種類のチップ
 を用いる必要および製造するだけで、大規模な処理機能が
 実現でき、チップ境界交差が削減され速度が向上する
 などの利点を向上した、システムが提供される。

【0078】1990年11月13日出願の米国特許出願第07-611594号では、1次元入出力構造(基本的に線形入出力)を、チップ内で複数のSIMD-PMEを該構造に取り付けて利用することが記載されており、必要に応じて参照されたい。この実施例では、これらの概念を2次元以上に拡張している。次に、1チップ当たり8個のSIMD-MIMD-PMEを備えた4次元入出力構造について説明する。しかし、図4、図10、図11、図17、および図18に関して説明するより、これよりも次元数、または次元当たりPMEの個数を増やすことが可能である。本発明の処理要素は、一般に転送能力を向上させるべく、入出力を容易に定常な入出力、入出力を備えている。例えば、実施例の線形では、主として、1チップ当たり8個のSIMD-MIMD-PMEを備えた好ましい1次元入出力構造を取り上げ、本発明を説明する。以下、現在この構造に関する、有利な特徴を説明する。本特許書に記載するより、1次元版、2次元版、3次元版、4次元版、5次元版、6次元版、7次元版、8次元版、9次元版、10次元版、11次元版、12次元版、13次元版、14次元版、15次元版、16次元版、17次元版、18次元版、19次元版、20次元版、21次元版、22次元版、23次元版、24次元版、25次元版、26次元版、27次元版、28次元版、29次元版、30次元版、31次元版、32次元版、33次元版、34次元版、35次元版、36次元版、37次元版、38次元版、39次元版、40次元版、41次元版、42次元版、43次元版、44次元版、45次元版、46次元版、47次元版、48次元版、49次元版、50次元版、51次元版、52次元版、53次元版、54次元版、55次元版、56次元版、57次元版、58次元版、59次元版、60次元版、61次元版、62次元版、63次元版、64次元版、65次元版、66次元版、67次元版、68次元版、69次元版、70次元版、71次元版、72次元版、73次元版、74次元版、75次元版、76次元版、77次元版、78次元版、79次元版、80次元版、81次元版、82次元版、83次元版、84次元版、85次元版、86次元版、87次元版、88次元版、89次元版、90次元版、91次元版、92次元版、93次元版、94次元版、95次元版、96次元版、97次元版、98次元版、99次元版、100次元版、101次元版、102次元版、103次元版、104次元版、105次元版、106次元版、107次元版、108次元版、109次元版、110次元版、111次元版、112次元版、113次元版、114次元版、115次元版、116次元版、117次元版、118次元版、119次元版、120次元版、121次元版、122次元版、123次元版、124次元版、125次元版、126次元版、127次元版、128次元版、129次元版、130次元版、131次元版、132次元版、133次元版、134次元版、135次元版、136次元版、137次元版、138次元版、139次元版、140次元版、141次元版、142次元版、143次元版、144次元版、145次元版、146次元版、147次元版、148次元版、149次元版、150次元版、151次元版、152次元版、153次元版、154次元版、155次元版、156次元版、157次元版、158次元版、159次元版、160次元版、161次元版、162次元版、163次元版、164次元版、165次元版、166次元版、167次元版、168次元版、169次元版、170次元版、171次元版、172次元版、173次元版、174次元版、175次元版、176次元版、177次元版、178次元版、179次元版、180次元版、181次元版、182次元版、183次元版、184次元版、185次元版、186次元版、187次元版、188次元版、189次元版、190次元版、191次元版、192次元版、193次元版、194次元版、195次元版、196次元版、197次元版、198次元版、199次元版、200次元版、201次元版、202次元版、203次元版、204次元版、205次元版、206次元版、207次元版、208次元版、209次元版、210次元版、211次元版、212次元版、213次元版、214次元版、215次元版、216次元版、217次元版、218次元版、219次元版、220次元版、221次元版、222次元版、223次元版、224次元版、225次元版、226次元版、227次元版、228次元版、229次元版、230次元版、231次元版、232次元版、233次元版、234次元版、235次元版、236次元版、237次元版、238次元版、239次元版、240次元版、241次元版、242次元版、243次元版、244次元版、245次元版、246次元版、247次元版、248次元版、249次元版、250次元版、251次元版、252次元版、253次元版、254次元版、255次元版、256次元版、257次元版、258次元版、259次元版、260次元版、261次元版、262次元版、263次元版、264次元版、265次元版、266次元版、267次元版、268次元版、269次元版、270次元版、271次元版、272次元版、273次元版、274次元版、275次元版、276次元版、277次元版、278次元版、279次元版、280次元版、281次元版、282次元版、283次元版、284次元版、285次元版、286次元版、287次元版、288次元版、289次元版、290次元版、291次元版、292次元版、293次元版、294次元版、295次元版、296次元版、297次元版、298次元版、299次元版、300次元版、301次元版、302次元版、303次元版、304次元版、305次元版、306次元版、307次元版、308次元版、309次元版、310次元版、311次元版、312次元版、313次元版、314次元版、315次元版、316次元版、317次元版、318次元版、319次元版、320次元版、321次元版、322次元版、323次元版、324次元版、325次元版、326次元版、327次元版、328次元版、329次元版、330次元版、331次元版、332次元版、333次元版、334次元版、335次元版、336次元版、337次元版、338次元版、339次元版、340次元版、341次元版、342次元版、343次元版、344次元版、345次元版、346次元版、347次元版、348次元版、349次元版、350次元版、351次元版、352次元版、353次元版、354次元版、355次元版、356次元版、357次元版、358次元版、359次元版、360次元版、361次元版、362次元版、363次元版、364次元版、365次元版、366次元版、367次元版、368次元版、369次元版、370次元版、371次元版、372次元版、373次元版、374次元版、375次元版、376次元版、377次元版、378次元版、379次元版、380次元版、381次元版、382次元版、383次元版、384次元版、385次元版、386次元版、387次元版、388次元版、389次元版、390次元版、391次元版、392次元版、393次元版、394次元版、395次元版、396次元版、397次元版、398次元版、399次元版、400次元版、401次元版、402次元版、403次元版、404次元版、405次元版、406次元版、407次元版、408次元版、409次元版、410次元版、411次元版、412次元版、413次元版、414次元版、415次元版、416次元版、417次元版、418次元版、419次元版、420次元版、421次元版、422次元版、423次元版、424次元版、425次元版、426次元版、427次元版、428次元版、429次元版、430次元版、431次元版、432次元版、433次元版、434次元版、435次元版、436次元版、437次元版、438次元版、439次元版、440次元版、441次元版、442次元版、443次元版、444次元版、445次元版、446次元版、447次元版、448次元版、449次元版、450次元版、451次元版、452次元版、453次元版、454次元版、455次元版、456次元版、457次元版、458次元版、459次元版、460次元版、461次元版、462次元版、463次元版、464次元版、465次元版、466次元版、467次元版、468次元版、469次元版、470次元版、471次元版、472次元版、473次元版、474次元版、475次元版、476次元版、477次元版、478次元版、479次元版、480次元版、481次元版、482次元版、483次元版、484次元版、485次元版、486次元版、487次元版、488次元版、489次元版、490次元版、491次元版、492次元版、493次元版、494次元版、495次元版、496次元版、497次元版、498次元版、499次元版、500次元版、501次元版、502次元版、503次元版、504次元版、505次元版、506次元版、507次元版、508次元版、509次元版、510次元版、511次元版、512次元版、513次元版、514次元版、515次元版、516次元版、517次元版、518次元版、519次元版、520次元版、521次元版、522次元版、523次元版、524次元版、525次元版、526次元版、527次元版、528次元版、529次元版、530次元版、531次元版、532次元版、533次元版、534次元版、535次元版、536次元版、537次元版、538次元版、539次元版、540次元版、541次元版、542次元版、543次元版、544次元版、545次元版、546次元版、547次元版、548次元版、549次元版、550次元版、551次元版、552次元版、553次元版、554次元版、555次元版、556次元版、557次元版、558次元版、559次元版、560次元版、561次元版、562次元版、563次元版、564次元版、565次元版、566次元版、567次元版、568次元版、569次元版、570次元版、571次元版、572次元版、573次元版、574次元版、575次元版、576次元版、577次元版、578次元版、579次元版、580次元版、581次元版、582次元版、583次元版、584次元版、585次元版、586次元版、587次元版、588次元版、589次元版、590次元版、591次元版、592次元版、593次元版、594次元版、595次元版、596次元版、597次元版、598次元版、599次元版、600次元版、601次元版、602次元版、603次元版、604次元版、605次元版、606次元版、607次元版、608次元版、609次元版、610次元版、611次元版、612次元版、613次元版、614次元版、615次元版、616次元版、617次元版、618次元版、619次元版、620次元版、621次元版、622次元版、623次元版、624次元版、625次元版、626次元版、627次元版、628次元版、629次元版、630次元版、631次元版、632次元版、633次元版、634次元版、635次元版、636次元版、637次元版、638次元版、639次元版、640次元版、641次元版、642次元版、643次元版、644次元版、645次元版、646次元版、647次元版、648次元版、649次元版、650次元版、651次元版、652次元版、653次元版、654次元版、655次元版、656次元版、657

と、組込みプロセス要素、ルータ、および入出力機構があり、これらはすべて、論理回路用の広いスペースを持つ初の汎用、モノ・チップと考えられる。4メガCMOS DRAMに入っている。このチップは、トレンチを備えた特定のシリコンを使用して、小さなチップ表面上に大規模な記憶域を提供している。別法として、本発明の設計の各プロセスを、3.2キロビット、9ビットのDRAMメモリ（3.5、80ナノ秒）の複製16個から構築し、0.87ミクロンCMOS論理回路を使って、メモリ・アレイを構成することもできる。この装置は、チップ上に、アプリケーション論理回路の120Kセル用の表面領域を割り振り、3重レベル金属配線の機能でそれをサポートするという点で独特である。図4の左側に、従来技術のカードをX印を付けて示す。

【0112】本発明の複製可能基本要素プロトコル技術は、従来の技術に対する回等である。図4の左側の“X”印を付けた技術を検討してみると、千・百およびカードが多すぎ、無駄であることが分かる。たとえば、今日の他の発明者から提案されている千色プロセスでは、文字とおおむね百万個以上の千・百を有する。今日の他の技術では、これらの千・百のうち真に実働するのはせいぜい数パーセントであり、残りは「オーバーヘッド」である（通常は、この「オーバーヘッド」がインタビューとみなされる）。

【0113】勿論、この「運動」は、環境中で運動するのではなく、
夢があるものに於けるような、一種の夢の運動である。多種多様な
夢を、この「運動」が不可思議に包み込むことが理解された。

(面積の小さなボックス型)に、つ取り付けることができるとする)。さらに、他の特許出願から提案されている要素の組み合わせの中には、すでに大型であるが、本特許出願の範囲に到達するには1000倍のスケールアップをしなければならぬ。本発明者等は、非特許文献1の割合を劇的に減少させる解決策を有する。本発明ではこれを妥当なコストで、次の数種の範囲内で提供することの可能な技術を用いる。本発明はオプティカルとなり、光ファイバケーブルを創製し、これに使用し、実働要素が大幅に増加する。さらに、光ファイバケーブルに由来する、他の多くの種類の劇的に減少する。本発明のシステムは、複雑なパケット、シグナル、処理、電力、または環境上有利的なものにパケット、システムを適用し、設計されている。

[illegible]

のワークステーション構成は、そのような P E 実行機、アレイ、クラスタ制御装置、およびワークステーションで開発されたアレイ・プロセッサ・アプリケーションを実行し監視するのに十分な性能を持つ I B M RISC システム 6 0 0 0 を有することが好ましい。

【0115】プロセッサ部分ではゲート効率が非常に高いプロセッサが使用できる。プロセッサにはそのような設計が使用されているが、メモリ内で使用されたことはない。また、本発明では、MIMD基本動作とSIMD基本動作を混合できる能力を提供している。本発明のチャップは、各CPUの命令バッファに代替経路を提供する、「同製通信バス」を提供する。本発明のクラスタ制御装置は、PME内の各処理要素にコマンドを発行する。これらのコマンドをPMEに格納すれば、処理要素の動作を複数のモードで制御できる。各PMEはプログラム全体を格納する必要はなく、あるアプリケーションの処理の様々な時間に所与のタスクに適用される部分だけを格納できる。

【0116】基本プロセッサが与えられている場合、プロセッサと、その組合せを開発することができる。別法として、より簡単なプロセッサおよび、メモリ・マシンのサブセットを使用することによる、PMEの複製が2個、4個、8個、または16個を作成するための設計も可能である。ハード・フロー制御幅を調整するか、あるいは機能ブロック・シートをプロセッサ・システムに置換すると、PMEをさらに簡単にすることができる。大部分の実施例では、上述の基本PMEの複製を8回行うことが好ましい。

【0117】本発明者等がアブザブ・グループの調査によると、現在用いている、もっとも好ましい方法は、16ビット幅のデータ・ワードおよび32Kワードのメモリを8回複製することである。このように結論した理由は、以下に於てである。

1. 16ビット・ワードを用いること、命令およびアドレスの単一サイクリックでの取出しが可能になる。
2. 8個のPME（それぞれに外部ワードを備える）と、4次元トランスプレザンス接続が可能になる。各リンク上で4個または8個のPMEを使用すること、目標とするレスポンス性能の範囲に属したものが得られる。
3. 8つの外部ワードに占める、アドレスの約50%が必要であり、電源、接地、および共通通信信号に削減されるべき、容量は十分である。
4. 8個のワードから64KBの主記憶装置にアクセス可能である。
 - a. 外部ワードは、主記憶のアクセス速度では、1ワード・アクセス・サイクルの1/4の遅延でアクセス可能である。
 - b. 主記憶のアクセス速度は、ワード・アクセス・サイクルの1/4の遅延で、外部ワードのアクセス速度に等しい。

【0118】 求 $\lim_{n \rightarrow \infty} \frac{1}{n} \sum_{k=1}^n \frac{1}{k} \ln \frac{k}{n}$ 的值.

ノード・ポートが必要となるが、そのように複雑さが増しても修正ハイパーキューブ構造は影響を受けない)。1組 m_2 個のリンクにおける各等価ノードを接続すると、 m_2 個のリンクが相互にリンクできる。この時点で得られるのがトラスである。1次元修正ハイパーキューブから $i+1$ 次元修正ハイパーキューブを構築するには、 m_{i+1} 組 i 次元修正ハイパーキューブを想定し、等価な m_i レベルのノードをすべて相互接続してリングを形成する。

【0125】 $m_i = 8$ ($i = 1, \dots, 4$)を使用して、4次元修正ハイパーキューブにおけるこのプロセスを図7に示す。ノード・トポロジの他全てのことを説明と、図7、図10、図11、図17、図18を比較された。

【0126】図7は、32K \times 16ビット・ワード・メモリと16ビット・プロセスサから構成される単一プロセス要素300から、8つのプロセス312と、それに結合された、メモリ311、後者に付随する完全分散型入出力ポート313、および信号入出力ポート314、315から成るシステムワーク・ステーション310に至り、さらにタスクスタ320で表したワークのフローを経由して、タスクスタ構成360、ならびに各種のサブルーション330、340、350、370に至る並列技術経路を示している。2次元レベル構成はタスクスタ320であり、64個のタスクスタが表を占めて、32768個の処理要素からなる4次元修正ハイパーキューブ360を形成している。

【0127】プロセッサ・メモリ要素（PME）の好ましい実施例を図3および図12に示すように、好ましいAPAPは1つのチップ・ノードから成る基本的構成単位を有する。各ノードは、8個の同一のプロセッサ・メモリ要素（PME）と1つの同期通信制御（タマフェース（BCU））を備えている。本発明の一部は、同一のチップ上にすべての機能が揃っていないでも実現できるが、性能およびコスト削減の点から見ると、現在実施可能な前述の先進技術を使用して、8個のPMEを備えた1つのチップ・ノードだけでチップを形成することが重要である。

[illegible]

にする。このチップは、その内部で複数の並列動作を実行できるようにすばいマイクロコンピュータの機能を実行でき、かつ複数のノードのシステム内で他のチップに結合できる。その場合の結合方法は、相互接続ネットワーク、バス・システム・ネットワークまたはハイパーキューブ・ネットワーク、先進的でスケーリング可能な、本発明の好ましい実施例のいずれでもよい。

【0129】PMEは、ブザーリング可能な本発明の好ましい実施例では、一連のリングまたはトーラスとして相互接続できる。適用例によっては、ノードをメッシュとして相互接続することもできる。本発明の好ましい実施例では、各ノードが、4つのトーラスのそれぞれにPMEを2個ずつ備えている。トーラスはW、X、Y、およびZ（図7参照）で示してある。図12は、ノード内でのPMEの相互接続を示している。各トーラス内の2個のPMEは、その外部入出力ポート（+W、-W、+X、-X、+Y、-Y、+Z、-Z）で指定してある。ノード内には、 $4 + n$ 個および $4 - n$ 個のPMEを相互接続する2つのリングもある。これらの内部リングは、バスタージを外部トーラス間で移動するための経路として働く。本発明の好ましい実施例では、APAPを4次元直交メッシュにすることができるので、内部リングによりメッシュ全体にわたって移動する次元で、バスタージを移動することが可能である。

【0130】PMEは、主記憶装置、コプロセッサ記憶装置、命令解読器、論理演算機構（ALU）、作業用レジスタ、および入力デバイスを用意し、自己制御型プログラマ型方式マイクロコンピュータである。PMEは、MIMD動作では、それ自体の主記憶装置から格納されている命令を取り出して実行し、SIMDモードでは、BCIシステムウェアを介してコマンドを取り出し実行する能力を有する。このシステムウェアにより、複数のチップが互いにシステム内、制御装置、PME、その他のPMEの間での相互通信が可能になる。

【0131】ECUは、外部より制御装置要素およびセンサ等から入力される各種の信号に基づいて動作する。ECUは、エンジンやクロムクレン等の各種の制御機能を提供する。また、エンジンやPME等の各種の通信機能やスキャン等、各種通信バスをPME間の相互制御用の物理的媒介として構築する。また、エンジンやスキャン等の通信機能、外部要素からの制御信号をエンジンやスキャン等の制御機能に提供する。

[illegible]

る。ローカルPME宛の入力データ、または「蓄積交換」動作中にローカルPMEにバッファされた入力データは、各入力ポートと結合された直接メモリ・アクセス（アドレッシング）機構を介してローカルPME主記憶装置に格納される。プログラム割込みによって、PME主記憶装置にメモセージがロードされたことを示すことができる。ローカルPMEプログラムは、パッド・ゲームを解釈して、ローカルPME宛のデータが別のPMEへの回線交換経路の設定に使用できる制御・メモセージであるか否か、あるいは別のPMEに転送するメモセージであるか否かを判定する。回線交換経路は、ローカルPMEソフトウェアによって制御される。回線交換経路は、介在する緩衝記憶装置を通過せずに、PME入力経路を出力経路と論理的に直接結合する。同一のチップ上のPME間の出力経路には介在する緩衝記憶装置がないので、データを単一のクロック・サイクルで、チップに入れ、チップ上の多数のPMEを通過させ、ターゲットPMEの主記憶装置にロードすることができる。中間に緩衝記憶装置が必要なのは、回線交換結合がチップから離れたときだけである。このため、APAPモレリの有効直径が非バッファ回線交換経路の数だけ減化する。その結果、経路内にあるPMEの数は無関係に、介在するチップと同数のクロック・サイクルでPMEからターゲットPMEにゲームを送ることができる。この種の方法限定は、各チップ・サイクルでデータを次のロードに転送するのに数サイクル必要な交換環境と比較することができる。本発明のロードはそれぞれ8個のPMEを一つの

【0151】・モジュール構成モデル：PMEは、8ビット420に32キログラス・16ビット・ワードを格納する。この記憶域は完全に汎用であり、データとプログラムの両方を入れることができる。SIMD動作では、メモリスラッシュをデータとすることができる。これは、他のSIMD大規模並列マシンで特微的である。MIMDモードでは、メモリスラッシュは通常のメモリであるが、大規模並列大規模並列MIMDマシンと異なり、PMEは、チップ上にあり、外部メモリ・インターフェースを必要としない。他の大規模並列MIMDマシンは特有のキャッシュ・動作およびキャッシュ・コヒーレンス技術が必要である。オンチップメモリの場合、チップ上に登録するものは4Kだけである。外部メモリ・インターフェース・バスは必要である。必要時だけ利用される。

[illegible]

割込みレベルがマアクされていない場合、レジスタが最低位メモリの新規セクションからアロケートされるようにハードウェアのポインタを変更し、単一のPC値をマップすることにより、この切替えが実行される。この技術では、高速レベル切替えが可能であり、ソフトウェアは通常のレジスタ・セーブ動作を回避することにも、割込みレベル・レジスタ内蔵状況をセーブすることができると。

【0153】PMEプロセッサは、8つのプログラム割
10 込みに1つのうちの1つに作用する。メモリアドレス
指定により、メモリの下位576ワードを割込みの8つ
のレベルに区分できる。このメモリの576ワードの
うちの64ワードは、8つのレベルのいずれかで実行中の
プログラムによって直接アドレス可能である。他の51
2ワードは、8つの64ワード・セグメントに区分され
る。各64ワード・セグメントに直接アクセスできる
のは、それと関連する割込みレベルで実行中のプログラム
だけである。直接アドレス指定技術を使用することによ
り、すべてのプログラムが、PMEモジュールの全32Kワ
20 ードにアクセスできるようになる。

【0154】測定システムは、入力ボード、BCI、およびユーザ処理機構に構成されている。「通常」モードがあるが、「特殊」モードも「スーパーバイザ」モードもある。ユーザはシステムにより、実際の切替が行われて、PCプログラムの実行、並びに制御システム、および特定で利用可能なデータの取得された主記憶装置位置に格納され、これらのプログラムの新しい値が、他の指定された主記憶装置位置から取り出される。

【0155】図8および図9を参照して説明したPME
30 データ・フローは、以下の数節を参照して拡張すること
ができる。複合システムでは、PMEデータ・フロー
が、アドレス・モードとしてのチップ上、メモリ、バスで
あり、および入出力機構の組合せを使用する。入出力機
構は、本発明のAPAPで構築されたMMPの基本的構
成単位として複製されるBCIを使ってメッセージを取
り取りする。MMPは多次のポート長を処理することが
できる。

[illegible][illegible]

45

引き渡す。この処理は、通常の命令動作とインタリープする。アプリケーションの要件に応じて、伝送されるデータのブロックは、定義済みPME用の生データまたは経路を確立するためのコネクタ、あるいはその両方を兼ねることができる。データを受け取ったPMEは、入力メモリに格納し、活動状態の下位処理に割り込む。割込みレベルにおける解釈タスクは、この割り込み事象を使って、タスク同期化を実行し、あるいは透過性入出力動作を開始することができる（ゲートが他の場所でアドレスされる時）。PMEは、透過性入出力動作中、自由に実行を継続できる。PMEのCTLレジスタがPMEをブリーフにする。データは、ゲート処理なしにPMEを通過し、PMEは、命令またはデータ・ストリームによってCTLレジスタがリセットされるまでそのモードのままである。PMEは、データの非渡しの、ゲート源となることはできないが、別のユーザーのデータ・ストリームとなることはできる。

【0182】PME同軸通信セクション：これは、ケーブルと共通制御ケーブル間のインタフェースである。このインタフェースは、入出力を指定しまたは完全にケーブルをシャットし並列する制御装置として働くケーブルが使用できる。

【0183】本方には、PMEの発生時、その使用可能なコア・ユニット（全コアまたは一部コア）である。各コアには、そのPMEがどのコアを使用するかを示すコアが割当てられている。BCIは、コアを使用して、取次システム・ユーザへのサービスを実現することを、必要なすべてのPMEがデータを受け取るようにする。このことは、BCIを非同期PME動作に調節するのに役立つ（PMEは、SIMDモードのときでも、入出力および割り込み処理のために非同期的である）。この機構により、PMEを、BCIを介して受け取ったコマンド・データ・アドレス・マシナリー・サットによって制御されるパイプラインに受け取ることができる。

【0184】BC1は、PMEにデータを引き渡すだけでない。PMEは必要となるデータを受け入れ、それらのデータを組合せたり、組合せられた要求を提出する。この機構は、パケットの形で使用される。MIMD処理は、すべて出力符号で終了する。出力符号のシーケンスで開始できる。出力符号AND出力符号、制御装置は新規のアクセスを開始する。多分、場合、制御装置は出力符号がPMEを要求し、必要なデータは出力符号で要求に使用される。制御装置は必要となるデータを受け入れ、要求に応じて、出力符号の形で提出する。出力符号は、出力符号で提出する。

[illegible]

48

【0186】BCI：各チップ上に設けられた同報通信制御インタフェース（BCI）は、データまたは命令をノードに送信できるような並列入力インタフェースを実現する。着信データはサブセット識別子でタグ付けされる。BCIは、サブセット内で動作する、ノード内のすべてのPMEにデータまたは命令が提供されるようにするのに必要な機能を備えている。BCIの並列入力インタフェースは、すべてのPMEにデータを同報通信できるように中継ポートとしても、SIMD動作中の命令インタフェースとしても働く。両方の要件を満たすとともに、それらの要件をサブセット動作のサポートにまで拡張する機能は、本発明の設計手法以外には全一例を見ない。

【0187】本発明のBCI並列化インタフェースにより、ホストの外部の制御要素からデータまたは命令を送信することが可能になる。BCIは、各PMEと結合された「ゲート」割当て、レジスタを備えている（グループ化の概念については、同時出願「grouping of SIMD pickets」に願する米国特許出願を参照されたい）。着信データ・グループはゲート識別子でタグ付けされる。BCIは、専用ゲートに割り当てられたホスト内のすべてPMEにデータまたは命令が提供されるようにするのに必要な機能を備えている。BCIの並列化インタフェースは、MIMD動作中にPMEにデータを送報通信できるようにするホストであっても、SIMD動作中の命令が値をレジスタ・インタフェースであっても働

【0188】BC1は、2つの直列インタフェースを備えている。高速直列ポートは、各PMEに、図10の量の情報伝達能力を出力する能力を与える。このポートの目的は、以下に示す通りである。

【0189】1. PMEたとえば500が読み取る必要のあるデータを含むこと、またはPMEが何らかの動作を完了したことを示す信号をアイ・ビ・シグナル610に送る、アイ・ビ・シグナル610は、それ为代表する外部制御要素に送られるべきを要す。

2. 外部分成要素: 其形式要素如, 以什么为体的内注, 在何处, 以何方式, 以何活动状态, 以何提供方式。

[illegible]

を出力できるように経路を提供し、かつアレイ・ディレクタが初期パワー・アップおよび診断フェーズ中に、装置にデータを入力できるようにする。アクセス点へのデータ入力を使用して、テストおよび診断動作、すなわち、単一の命令ステップの実行、比較時停止、区切り点などを制御することができる。

【0191】ワード・トポロジー：本発明の修正ハイパーキューブ・トポロジー接続は大規模並列システムにもっとも有効であるが、性能の劣る他の接続を本発明の基本PMEと併用することもできる。本発明者によるVLSIチップの初期実施例では、8個のPMEと、完全分散型PME内部ハードウェア接続が使用されている。内部PME間チップ構成は、4個のPMEから成るリンク2つであり、各PMEがさらに他のリンクのPMEへの1つの接続を有している。VLSIチップに8個のPMEがある場合、これは3次元ハイパーキューブである。しかし、本発明の手法では一般に、チップ内でハイパーキューブ構成を使用しない。また、各PMEでは1本のパスのエスケーパが可能である。初期実施例では、一方のリンクからエスケーパされたパスをX、Y、Z、およびW、およびZと呼び、他方のリンクからエスケーパされたリンクには、(マイナス)の同様なパスを付ける。

【0192】特定のチップ構成を定義するワードと呼び、ワードはアレイの各要素に入れることができる。ワードは $-X$ および $+Y$ を使用してリンクとして接続され、各要素を形成する。アレイの次元数は任意であり、一般に、ハイパーキューブの関係を必要条件であるよりも多い。各要素は $-W$ 、 $+Z$ を使用してさらに接続され、各要素がリンクとなる。この場合、アレイの次元数は任意である。この結果、ワードの4次元ハイパーキューブが得られる。5次元ハイパーキューブに拡張するには、PMEワードが10個が必要であり、2本目の追加パス、たとえば $+E$ を使用して4次元ハイパーキューブを接続し、ハイパーキューブのパスを4にする。本発明ではさらに、奇数次元は偶数次元の拡張であることが必要である。この修正トポロジーでは、各要素が各パスを配線に与えられるが、ハイパーキューブ接続の利便が維持される。

【0193】本発明の、大規模並列システムに配線可能およびテストおよび構成には、本発明の各要素、リンクのハイパーキューブ内でX次元およびY次元が維持され、すべての接続ノードはWパス接続およびZパス接続が与えられ、方法がある。上記の接続を実施する後、定義されたパス、リンクは有線接続を維持しながら異なる配置に再配置することができる。

【0194】本発明は、 K^n 個のPMEと、 n 次元ハイパーキューブ(CBC)の各要素を形成する。ここで、 n は、修正ハイパーキューブ接続が与えられるリンクの次元である。 K は、各要素の接続

付けるリンクの数を表す。ワードは K 個のリンクを備えることができるが、それらのリンクのうち2個だけが、エスケーパ・パスを提供することがこの概念の特徴である。好ましい実施例では、物理チップ・パッケージにより、 n および K が $N=4$ および $K=2$ に制限されている。この制限は物理的なものであり、別のチップ・セットを使用すれば、アレイの次元数を増やすことができる。本発明の好ましい実施例は、物理チップ・パッケージの一部であるが、修正ハイパーキューブ中の1組のリンクを相互接続するPMEのグループ化を可能にする。各ワードには、PMEアーキテクチャを有し、処理機能およびデータ・フロー機能を実行できる、8個のPMEがある。したがって、 n は修正ハイパーキューブの次元数(次節参照)である。すなわち、4次元修正ハイパーキューブのワード要素はPME 8個であり、5次元修正ハイパーキューブのワードはPME 10個である。本発明で使用できるワードについては図7を、相互接続については図10および図11を、各ワードのブロック図については図12を参照されたい。図17および図18は、AAPの可能な相互接続の詳細を示したものである。

【0195】1991年5月13日に提出された"Method for Interconnecting and System of Interconnected Processing Elements"と題する米国特許出願第07/698866号は、本発明のAAP、PMEに使用するのが好ましい修正ハイパーキューブ基準が記載されており、必要に応じて参照されたい。上記出願には、1要素当たり接続数、ワードサイズ(最も例外的長さ)とリンクサイズを定めることができるような処理要素を相互接続する方法が記載されている。それをするには、ハイパーキューブの、固有の好ましいトポロジー特性を多く持つワードを作る同時に、基底を変えることができる数系であるトポロジカルワードを列挙することによってトポロジーの柔軟性を向上させる。この方法で基底と2つ数体系を使用すると、ハイパーキューブ・トポロジーが得られる。本発明では、ハイパーキューブトポロジー接続よりも相互接続が緩やかで、かつハイパーキューブの特性を維持する。このトポロジーとしては次の3つがある。(1)代替経路が多い。(2)緩やかな接続が与えられている。(3)固有の既存の方法を使用して、他の長所問題と共有し、各要素のリンクを内部に保持して、リンクを共有する結果、遅延や他のハイパーキューブの欠点を示得られる。本発明で修正ハイパーキューブの方法を決定するが、従来のハイパーキューブを使用して与えられるトポロジーと異なるが、遅延や他のトポロジー特性を示す、トポロジカルワードを使用して与えられるが、本発明書に記載の方法は、従来の遅延や他のトポロジーと異なるものである。

【0196】PMEワード・トポロジーの柔軟性、ワード相互接続のトポロジー、トポロジカルワード・トポロ

一用の相互接続方法について以下に説明する。

【0197】1. 1組の整数 e_1, e_2, e_3, \dots の組を次のように定義する。すべての要素の積がネットワーク内のPMEの数Mと等しくなり、一方 e_1 および e_2 を除く、該組のすべての要素の積がノードの数Nであり、該組の要素の数 m が、関係式 $n = m - 2$ によってネットワークの次元数を定義する。

【0198】2. 1組のインデックス a_1, a_2, \dots, a_m によって位置指定されたPMEにアドレスする。ここで各インデックスは、等価な展開レベルでのPME位置であり、インデックス a_1 は、公式 $(\dots (a(m) * e(m-1) + a(m-2)) * e(m-1) \dots a(2) * e(1)) + a(1)$ によって、 i が $1, 2, \dots, m$ のとき、0 から $e_i - 1$ の範囲に収まる。この公式で、 $a(1)$ という表記は通常通り、要素のリスト a 中の i 番目であることを意味する。 e_i についても同様である。

【0199】3. 次の2つの条件のいずれかが成り立つ場合にかぎり、2つのPME（アドレスが f および g ）を接続する。

a. $r/(e_1 * e_2)$ の整数部分が $s/(e_1 * e_2)$ の整数部分と等しい。

1) r/e_1 の剰余部分が s/e_1 の剰余部分と1だけ異なる。

あるいは

2) r/e_2 の剰余部分が s/e_2 の剰余部分と1または $e_2 - 1$ だけ異なる。

b. r/e_1 の剰余部分が s/e_1 の剰余部分が、1か3、

4、...、 m の範囲にあるとき異なり、 r/e_1 の剰余部分が、 $r - 3$ に等しく、 s/e_1 の剰余部分と等しく、 r/e_2 の剰余部分が s/e_2 の剰余部分と $e_2 - 1$ だけ異なる。

【0200】この結果、コンピュータ・システム・ノードは、各次元で基数が異なる可能性がある非バイナリ・ハイパーキューブを形成する。ノードは、それぞれによって提供されるポートが修正ハイパーキューブの次元数要件と一致するような 2^n 個のポートをサポートするPMEのアドレスを定義される。特定の修正ハイパーキューブの各次元の特定の範囲を定義する1組の整数 e_3, e_4, \dots, e_m によって定義される。ここで b は $b = 2$ であり、 e_1 および e_2 は a_1 とする。アドレス可能性および接続についての直前の公式は下記のようになる。

【0201】1. $N = b^{*n}$

【0202】2. n 次元では、PMEが基底 b 数体系を表す数でアドレス指定される。

【0203】3. 1つのアドレス g がアドレス f の1基底 b 部分が異なる場合にかぎり2つの任意要素 (f_1 および g_1) が等しくなる。0 $\leq b - 1$ が1次元にわたって1次元の範囲で使用される。

【0204】4. 各PMEは 2^n 個のポートと接続。数は 2^n である。

【0205】5. 任意の次元 i のポートは、1次元の範囲で、1次元PMEを接続する。ポートの数は0 $\leq b - 1$

捉されている。

【0206】ノード内PME相互接続:PMEは、ノード内で 2^n アドレスとして構成される。各PMEは、1組の入出力ポートを使って3つの隣接PMEと相互接続されるため、PME間には全2重通信機能が提供される。各PME外部入出力ポートは、ノード入出力バスに接続される。入出力ポートは、バスを、半2重通信用に共用できるように接続すること、全2重機能用に分離できるように接続することも可能である。4次元修正ハイパーキューブ・ノードの相互接続を図10および図11に示す (n が偶数の場合、ノードは $2 \times 2 \times n - 2$ アドレスのみなせることに留意されたい)。

【0207】図10は、ノード内の8つの処理要素500、510、520、530、540、550、560、570を示している。PMEは、バイナリ・ハイパーキューブ通信ネットワーク中で接続される。このバイナリ・ハイパーキューブは、PME間のノード内接続を3つ示している(501、511、521、531、541、551、561、571、590、591、592、593)。PME間の通信は、処理要素の制御下で入出力アドレスによって制御される。この図は、8つの方向、 $+w = 525, 565, +x = 515, 555, +y = 505, 545, +z = 535, 575$ のいずれか一方の入出力をバスで送受信するとき使用できる様々な経路を示している。望むなら、ポートを8方向に格納せずに通信を実行できる。

【0208】ネットワーク切替スイッチを使用すれば、それぞれ異なる切替スイッチを持つ各種カードを、システム内の他の切替スイッチと接続できるが、ネットワーク切替スイッチを使用しないでもかまわず、またそうすることが望ましいことに留意されたい。「4次元トーラス」として記述する本発明のPME間ネットワークは、PME間通信に使用する機構である。PMEは、このインタフェース上のアドレス内の任意の他のPMEにアクセスできる（間にあるPMEは、蓄積交換または回線交換できる）。

【0209】相互接続のチャート関係:チャートについて説明してAを、図12は、PME間の相互接続関係のチャートである。このチャートは、1次元要素から構成されている。以下に、これらの要素がそれぞれについて説明する。

【0210】1. それぞれ16ビットのデータ幅を有する、それぞれ32Kバイトの8次元(64KB)から成るPME8個。

【0211】2. 制御装置が持つPMEポートのポート番号を記憶するPME要求入変換テーブル、およびBC1。

【0212】3. 相互接続のチャート
a. 各PMEは、8次元のPME間の相互接続1次元の相互接続のチャート、すなわち、隣接PME3次元の相互接続のPME1次元の相互接続の

10

20

30

40

50

(API)を備えた、ホスト接続大規模システムのシステム・ブロック図を示す。複数のアプリケーション・プロセス・インタフェース（図示せず）を使用するスタンドアロン・システムで本発明を使用できるとして了解のもとでこの図を見ることもできる。この構成は、すべてのクライアントまたは多数のクライアント上でDASD（データファイル）を分散・ロードする。ローカルデータ・バス・アクセスシステムを使用すると、図のホスト・アプリケーション・プロセス・インタフェース（API）、およびクライアント・アクセス装置（CS）は不要になる。クライアント・アクセス装置はかならずしも必要ではない。必要か否かは、実行する処理の種類と、本発明を使用する特定のアプリケーションに提供される物理ドライブまたは電源によって決まる。主としてMIMD処理を実行するアプリケーションが制御装置に課す作業負荷要求はそれほど高くないので、この場合、制御バスの競合が立上り時間が異常に長くなることがある。逆に、多数の独立したクライアントには、主として非同期的A-SIMD動作を実行するシステムでは、より高速の制御バス機能が必要になることがある。この場合、クライアント・アクセス装置が好ましい。

[illegible][illegible]

コン用の様々なハードウェア構成を形成できるが、そのようにしてもサポート・ソフトウェアに大きな影響が及ぶことはない。

【0237】ローカライゼーション・プログラムレータでは、クランプ制御装置がローカライゼーション・システム・バスに直接接続される。アダプタ・ボード・プロセッサ・インタフェースの機能はローカライゼーションによって実行される。RISC-6000の場合、システム・バスはマイクロチャンネルであり、クランプ制御装置がローカライゼーション内のスロットに直接挿入できる。この構成では、プレイをロード・プレイバックするのと同じのバス上に入出力装置（DASD、SCSI、およびディスプレイ・インタフェース）を配置する。そのため、並列プレイがリアルタイム・イベント生成や処理など入出力中心のワークに使用できる。他のVMEバス・システム（VMEバス、ヒューテックバスなど）を使用するローカライゼーションでは、ゲートウェイ・インタフェースを使用する。そのようなゲートウェイは、市場で容易に入手可能である。これらの最小規模システムでは、特定の数のワーク間で単一のクランプ制御装置を共用でき、クランプ・システムサイズがゲートウェイ・ボードとディスプレイ・ボードの両方とも必要でない。

[illegible][illegible]

61

【0240】外部入出力を備えたXバ・アレイ・インタフェース；本発明の目的は、高速入出力接続方式を提供するものであり、2つのアレイ・ノード間にスイッチを配置することによって実現される。このスイッチにより、アレイとの並列通信が可能になる。高速入出力は、アレイ・ノードの1つの端子に沿って実施され、Xバ・アレイ、Yバ・アレイ、Wバ・アレイ、Zバ・アレイのうちの1つとして機能する。この高速入出力は、データ接続、という名前が付けられている。オ、ト、リ、ク、の間にデータを転送して来るようにしたから、スイッチ遅延を追加するだけでデータ・セグメント間のデータ転送を行う方法は、他に例のないカード技術である。この切替方式はXバ・アレイ、Yバ・アレイ、Wバ・アレイ、Zバ・アレイによって作成されたリ、ク、ト、ボ、ロ、グ、に影響を及ぼすことはなく、特殊サポート・ハードウェアにより、処理要素がデータを処理または経路指定している間にデータ動作が実行できるようにする。

【0241】大規模並列：プロセスの間にデータが高速度にやり取りできれば、プロセスと全体の性能は大幅に改善される。プロセス間の通信ブレイク・ポイントを、1つの次元を減らすことは高速入出力を実施する本発明の方法は、大規模並列環境の分野では例がない。本発明者等は考えている。

[illegible]

P-T-0 Zipper ConnectionTM 扣上 P-T-0 Zipper ConnectionTM 扣
 扣上 P-T-0 Zipper ConnectionTM 扣

62

【0243】構成上、プログラムが個々の処理要素との間でデータおよびプログラムをやり取りする必要に応じて、バッファのサイズを変えることができる。入出力バッファの実速度は、接続されたいの数の、PMEスラッシュ、PMEクロック速度を掛けて2で割った値にほぼ等しい（この計算により、受信PME時間にデータが転送できる。入出力バッファはn個の場所のことであり、データを転送できるので、入出力の争奪がバス全体で完全に吸収される）。PME転送速度が5MB/秒で、バス上に64個のインタジェを備え、2つのモードのインタジェを使用する既存の技術では、320MB/秒のアイレイ転送速度が可能である（図16の典型的な例）が構成を参照）。図16は、高速入出力、すなわち、アイレイへの別のインタジェを介して存在するいわゆる「アイレイ接続」700、710を示している。このバッファは、アイレイ751、752、753、754内の複数のポートで複数の方向770、780、790、751、755、757で同報通信バス720、730、740、750上に接続することにより、ハイパーキューブ・ネットワークの1つのポート700または2つのポート700、710上に存在できる。

【0244】本発明のMCU 3では、毎秒80～160MBの転送速度をサポートするので、車載レーダーまたは通信インターフェース、モード切換スイッチ等に非常に対応している。なお、この車載の転送速度にはシステム・ポート・ポートがあるので、対応はそれよりもいくらか下がる。これにより、も人力要件がはるかに軽減し、システムには、複雑なソフトウェアはMCU 3を使用することができ、ハードウェア・ウェアは特権的な、モードまたはアクセスを結合された大規模な外部記憶域をサポートするプロセスによって、これらの技術は重要であると思われる。このような出力拡張能力は、また、このようにして、特有のソフトウェア、将来、大規模並列列バス、システムやネットワーク、ハードウェア・ハードウェアには組み込まれていない。

[illegible]

の相互作用によりオペレーティング・システムのシェルとしての役割を果たす。ソフトウェア・システムとして機能する。アレイ・ディンクタは、この役割を果たす際に、アプリケーション・インタフェースからコマンドを受信し、適切なアレイ命令およびモードコマンド・シーケンスを発行して、指定のタスクを実行する。アレイ・ディンクタの主な機能は、PMEに命令を連続的に送る、最適のシーケンスでデータを経路指定することにより、通信量を最小に、衝突を最小に保つことである。

【０２４６】図７に示したAPAPは、制御ユニット・システムを、図１３により詳細に示してある。図１３は、図１４および図１５ならびに図１９および図２０に示すように、制御装置またはブレイ制御装置として機能できるブレイ・ディレクタを示している。図１３に示すこのブレイ・ディレクタ６１０は、 n 個の同一のブレイ・クラスタ６６５、６７０、６８０、６９０、５１２個のPMEのクラスタ用のブレイ・ディレクタ６１０、ブレイ・ディレクタ・プロセス６００用のブレイ・ディレクタ・プロセス・インタフェース６３０から成る典型的な構成のAPAPの好ましい実施例として示してある。クラスタ・モニタロサが６５０は、クラスタ制御装置６４０に必要な、一時的なを提供し、クラスタ・モニタロサが６５０は、クラスタ制御装置６４０とブレイ・ディレクタ・ディレクタ・プロセス６１０を構成している。ブレイ・ディレクタ・プロセス・インタフェース６３０は、ホスト・システム６００およびシステム・プロセス・マネージャ・プロセスをサポートする。１つまたは複数のホストに接続されたAPAP装置では、ブレイ・ディレクタ６１０は、ホストとPMEのブレイの間の、サブスクリプションで働く。スタンドアロン並列処理で、単独で機能するAPAPでは、ブレイ・ディレクタ６１０は、ホスト装置となり、したがって装置入出力活動に関与するようになる。

【0247】アミノ酸残基610は、次の4つの機能領域から構成されている（図13の機能ブロック図参照）。

1. 制御用電源用変圧器・整流器・可変電圧調整器・可変電圧調整器用電源用変圧器 (AP1) 600
2. 可変電圧調整器・可変電圧調整器 (CS) 650 (可変電圧調整器・可変電圧調整器)
3. 可変電圧調整器用電源用変圧器 (CC) 640 (可変電圧調整器・可変電圧調整器)
4. 可変電圧調整器 (CS) 620

【0243】 1997年5月10日，中国科学院南京地质古生物研究所，在安徽怀远县境内，发现距今约2.4亿年的三叶虫化石。该化石为一种名为“*Calymene*”的三叶虫，其化石长度约6.3厘米。

解法 3: 由题意知, 3 个 0 必须排在 3 个 1 的后面, 故只须考虑 3 个 1 的排列, 共有 $A_3^3 = 6$ 种排法, 故共有 6 种排法.

90への命令はどれか、および高速入出力（I/O）620用のデータはどれかを決定する。スタンダード・モードでは、アプリケーション・プロセス・インストラクタ630は、一次ユーザ・プログラム・オブジェクトとして働く。

【0249】これらの各種要件をサポートするために、アプリケーション・プロセス・インタフェース630は、ドライ・コンタクト610内の隆起のブロックと、APIプログラムおよびコマンドの専用記憶域を備えている。ホストから受信される命令は、APIサブルーチンに実行、追加機能のAPI・モジュールへのロード、または新規ソフトウェアのCCS・モジュールおよびPME・モジュールへのロードを要求できる。ソフトウェアの概要の節で述べたように、アプリケーション・プロセス・インタフェース630にロードされる初期プログラムを介して、これらの各種の要求を一部のユーザだけに制限することができる。すなわち、ロードされるオペレーティング・プログラムによって、提供されるサポートの種類が決まる。このサポートは、アプリケーション・プロセス・インタフェース630の性能機能に適合するように調節可能である。したがって、管理され十分テストされたサ・セグを必要とする複数のユーザ、または特定のアプリケーションに対してユーザ性能を再現したい個々のユーザのユーザに合わせたAPAPをさらに調節することができ、

【0050】 制御部（アーク・バック・防止機構）は、インタロックモード630では直列・入出力ポート間の経路の管理を行なう。接続ケーブルの水素・酸素システムまたは水素・窒素・メーカ固有型プロセスから受ける信号のうちには、ドライに転送される。この種の動作が開始される前に、入出力を管理するドライ内のPMEが開始される。MIMDモードで動作するPMEは、高速利込め機能、標準プロトコル、または他の転送用の特殊機能を使用し、SIMDモードで動作するPMEとは、詳細な利用命令を提供する必要がない。入出力ポートから受け入れたデータには、これらはほぼ調節が必要である。MIMDモードで動作するPMEは、高速直列・インタロック機能を介してアクシス・コントローラ、ドライセル、ガス検出器、一次630は信号を受け、アクシス・コントローラ、ドライセル、インタック・ガス630が内部回路を持つ必要があり、一方SIMDモードのPMEは中立的な状態にあるため、ドライセル、ガス検出器、インタック・ガス630も既に提供されているため、検査結果を直接出力する。したがって、システムは、検査結果を機器外か可能な限り、安全な方法で伝達することによって、検査中に試験できるという能力を増進させる。

[0 2 5 1] 为四元组， $\alpha = 6$ ， $\beta = 5$ ， $(C/S) = 6/5$ 。
 0：二元组型， $\alpha = 6$ ， $\beta = 0$ ， $(C/S) = 6/0$ ；
 2：二元组型， $\alpha = 2$ ， $\beta = 0$ ， $(C/S) = 2/0$ ；
 5：三元组型， $\alpha = 5$ ， $\beta = 0$ ， $(C/S) = 5/0$ ；
 1：二元组型， $\alpha = 1$ ， $\beta = 0$ ， $(C/S) = 1/0$ 。

6.5

シクロサイザ650は、アプリケーション・プロセス・インタフェース63の出力をFIFOスタックに格納し、クラスタ制御装置640から返される状況(並列入力肯定応答と高速リリア・ス・ゲータの両方)を監視して、開始する必要がある所望のアクションまたは動作をクラスタ制御装置640に達時に提供する。クラスタ・シクロサイザ650は、クラスタ内で様々なクラスタ制御装置640および様々なPMEをサポートする機能を提供し、アレイをサブセットに分割できるようにする。これを実行するときは、アレイを区別した後、所望の動作を選択的に転送するように関連クラスタ制御装置640に指令する。クラスタ・シクロサイザ650の主な機能は、オーバヘッド時間が最小限になるか、またはPME実行時間の中に埋まってしまふように、すべてのクラスタを動作させ、かつ編成することである。以上、A-SIMD構成でクラスタ・シクロサイザ650を使用することが特に好ましい理由について説明した。

【 0 2 5 2 】 クラスタ制御装置（ＣＣ） 6 4 0 : クラスタ制御装置 6 4 0 は、アンイ・クラスタ 6 6 5 中の 1 組のノード周回 B C 1 6 0 5 と相互接続する（１ノードが、た、 8 個のノードを備えた 4 次元修正、ノード・グループの場合、これは、クラスタ制御装置 6 4 0 が 8 × 8 ノード・アドレス 6 4 個の B C 1 6 0 5 に接続され、 5 1 2 個の P M E を制御していることを意味。これは 8 × 8 ノードのそのようなクラスタが 6 4 個ある、 3 2 7 6 8 個の P M E を備えた完全なシステムになる）。クラスタ制御装置 6 4 0 は、 M I M D モードで動作する際、クラスタ・シミュレーション 6 5 0 から供給されたノードおよびデータに B C 1 並列ポートに送信し、クラスタ・シミュレーション 6 5 0 に書き込みデータを返す。 S I M D モードでは、インストラクションは同期的に動作し、ステップごとの書き込みは必要でない。クラスタ制御装置 6 4 0 はまた、高速直列ポートを管理して監視して、ノード内の P M E がセービタを必要とするかを決定する。そのような要求は、高周波シリアル・インストラクション・バスから供給された記憶インストラクション・バスポートに使用可能な間に、クラスタ・シミュレーション 6 5 0 に渡される。クラスタ制御装置 6 4 0 は、構造化されたノード・インストラクションを生成して、クラスタ内の特定のノードへインストラクションをクラスタ・シミュレーション 6 5 0 に提供する。

【0253】SIMD方式では、デコード制御装置640は、同報通信システムにおいて、PME信号の出力に用いる出力ポートは、図8Aから、SIMD方式による場合、デコード制御装置640は、10ビットの出力ポートとして、PME16ビットの出力がある。この場合、PME16ビットの出力は、図9A及び図9Bに示すように、10ビットの出力ポートと10ビットの出力ポートとの組合せである。

[0 2 5 4] MINIMUM $\lambda_1 = -0.79 \times 10^{-6} + i 1.82 \times 10^6$

66

640は、endop信号を待ち、該信号を受信後、PMEに新規命令を発行する。MIMDモードの概念は、PMEに常駐する固有命令でマイクロルーチンの文字列を構築することである。これらの文字列をまとめて、エミュレートされた命令を形成することができ、かつこれらのエミュレートされた命令を組み合わせて、サービス・キヤンド・ルーチンまたはライブラリ関数を作成することができる。

【0255】SIMD、MIMD（SIMIMD）モードでは、クラス制御装置640が、SIMDモードの場合と同様に命令を発行し、一定のPMEからのend of信号があらかじめを検査する。MIMDモードのPMEは、同報通信命令に応答せず、これらの指定された動作を継続する。独特の状況認識が、クラス制御装置640がこの動作を管理し、その後の命令をいつどこに提供するかを決定するのを助ける。

【0236】オプレーション・システム・オブ・システムズ・モデル；本明細書では、各種のシステムが構成要素によって実行されるサービスについて、詳細な説明をかうために、オプレーション・システム・オブ・システムズの概要を示す。

【0257】一般的に使用されるコンピュータ・システムはオペレーティング・システムを有する。大部分の大規模MIMDマシンでは比較的完全なオペレーティング・システム・カーネルを備わっていない。このようなマシンでは、オペレーティング・システムのCPU側だけがMachなどのカーネルを実行する。オペレーティング・システム・カーネルは、より高度引渡しまたは「モジュール化」を要することがある。SIMDマシンに基づく他の大規模並列システムは、レグ中の機能をほとんど持たない、マシンの「プロセッサ・カウタ」がないので、カーネル側で実行されるプログラムはない。すべてが命令は図割通信される。

[illegible]

ではない。PME間に分散されたベクトル・データ要素を移動する場合について考えてみたい。本発明のアプローチでは、アドレス・ヘッダなどでデータを送信できるので、非常に高速の入出力が可能となる。しかし、多くのアプリケーションでは、1方向の移動に適するようにデータ構造を最適化する、直交方向でのデータの移動が遅いことが分かった。そのような場合の時間損失は通常、ストリーム内でデータをランダムに経路指定する平均時間に近くなる。したがって、(データを整列するのではなく)データを逐次のまたはランダムに格納した方が、平均処理時間が短いアプリケーションができる。

【0283】同期化により平均アクセス時間を利用できるアプリケーションが多い(たとえば、PDE緩和プロセッサは、隣接プロセッサからデータを獲得し、したがって少なくとも4つの入出力動作に対するアクセスを平均化できる)。散乱集合や行列演算などベクトル・プロセッサおよびアレイ・プロセッサに適用可能な因子を検討して、両者の強制データ割振りがアプリケーションに適していることに気付くユーザが多いと考えられる。しかし、アプリケーションの特性が特定のデータ割振りをデータ転送を強制する傾向がある(たとえば勾配必須同期・非必須同期を利用する)ことを示す例もある。この特性については、開示されるハードウェア技術で、データ格納の手動調整あるいは単純な非最適データ割振・転送に必要がある(たとえば、ベクトル・セル・プロセッサでは非最適性のポートをMPPに提供するため、ホスト・メモリ・アクセスによる非最適データ割振・転送にポートする)。すなわち、ハードウェア・実装・アプリケーションによって、得られる性能を調べることもができる。

【0284】なお、標準ピコット演算による「ガウス消去」では、列ではなく、行のピコットが必要である。列が高速のピコット方向になると、比較データを配列することになり、得られる性能の差は2:1を超える。その上、列でも、バグ・特定の関係性になるように行を整理して、利益になる。

[illegible]

【0286】MPP用の可能なアプリケーション・プログラミング技術が2つあると本発明者等は考えている。もっともプログラム集約的でない手法では、アプリケーションをベクトル化された高位言語で書く。この場合、ユーザが、当該問題ではデータの格納が調整されないと思われる場合は、コンパイル時サービスを使って、PMEアレイにデータを割り振る。このアプリケーションは、PMEアレイ上で解釈および実行するために制御装置に渡される、BLASなどのベクトル呼出しを使用する。ホストとPMEアレイの間でデータを移動するときは、独特な呼出しが使用される。要するに、ユーザは、MPPがデータをどのように編成または処理したかを認識する必要がない。この種のアプリケーションのために次の2つの最適化技術がサポートされる。

【0287】1. データ割振り表を作成することによつてデータ割振りを修正すると、プログラムはデータ格納を強制できるようになる。

【0288】2. プレイ画面装置によって実行される付加ベクトル・コマンドを生成するに、副次機能の調整（すなわち、ゲーム進歩を単一の演算として呼び出すこと）が可能になる。

【0】と「9】姓名、エピソードなどは本誌の冒頭でも紹介した方が読者さんにわかりやすくは適用されることと思われる等々である。そのほか、エピソード・コメントには必ずかき写原稿を添えて送付する。(ただし、そのほかにも必ずエピソードが、掲載の適合には、特記事項がない限りは、エピソードに代ってどれほど重要かに代って決断し、この代りでは、S・IMDあるいはM・IMDあるいは、またはA-S・IMDモードに何処に適合されたいかを必要になると思われる。これらのプログラムの場合は、以下の組合せを使用する。

【０２９０】１．ブレイク制御装置内のエミュレータ機能に渡されるPME固有命令の、一アセス、エミュレータは、命令およびそのオペランドを、その1組のPMEに、同報通信する。このSIMDモードのPMEは、命令を解読機能に渡し、その結果を出力動作を、コントローラに、

【0291】2. 大出力・高期待できる希土類部素化合物は、PMR固有のISAプログラムを使用する。それにより、S IMDモードの使い始めの開始の後、M IMDモードで連続的に実行される「FRETURN」命令を介してS IMDモードに戻るオプションが存在する。

【0202】B. 以含有二硫键的蛋白质，如胱氨酸基质的形式，而通过交联作用而得到。PMF具有金属络合能力，所以它可先与金属离子结合，然后再与蛋白质结合。所以，在PMF上，蛋白质以 $\sim N_2$ 形式存在，如图中B.LAS-SAXPNY所示。在图中所示，金属离子与蛋白质络合，所以，PMF可以用作金属络合剂，如图中C.LAS-SAXPNY所示。

[illegible]

77

のPMEマシン・レベル命令に拡張され、すべてのPMEがMIMDモードでプログラムを実行することになる。プログラム同期化は入出力ポートメントによって管理される。このプログラムは全く簡単な形で1PME当たり複数のデータ要素に拡張され、非常に大規模な並列ポートに拡張される。

【0300】CC記憶域の内容：CC記憶域のデータは、PMEアレイによって、2つの方法のうちのどちらかで使用される。PMEがSIMDモードで動作しているとき、一連の命令をクラスタ制御装置640が取り出し、ブロードBCIに渡し、それによってアプリケーション・プロセス・サ・インタフェース630とクラスタ・シ・クロナイザ650の負荷を軽減させることができる。あるいはまた、PME障害再構成ソフトウェア、PME診断、およびおそれ（変換ルーチンなどの）頻繁には必要とされない機能を、CCメモリに格納することができる。その場合、そのような機能を、動作中のPME・MIMDプログラムが要求することができ、あるいはAPIプログラムと指示の要求に応じてPMEに移すことができる。

【0301】8次元修正二進aryキューの構成要素は、 α が本発明のキュー設計技術では、単一キューに、 β キューと、N次元修正二進aryキューで構成して整列させ、8個のPMEを使用する。このキュー・グループは、キュー・グループ・アドレスが、APAP設計における最小の構成単位である。これらのグループはさらに、 8×8 ビットに入力される。このグループには、 X および Y のデータまたはクォータ内でデータを構成し、 W および Z が隣接したデータまで伸びる。クォータが主としてアドレスを構成する。このグループによって、アドレスのデータ用および制御用のバイナリ数が大幅に削減される。 W データおよび Z データは、隣接したデータと接続され、 W データおよび Z データを形成することで、様々なサイズの形成されたデータを総合的に接続する。大規模行列システムは、これらのクォータ構成単位から構成され、PMEの大規模なアドレスを形成する。APAPはクォータの 8×8 ビットから成り、各クォータはそれ自体で制御装置を有する。システム内の制御装置は、アドレス・グループと6-10によって同期化される。

[illegible][illegible]

78

して、ワグナ数に関して所望の結果を得ることである。

【0304】ハイパーキューブの実際の修正の度合いを定義するための方法については、上記の特許出願第07-698866号を参照されたい。この好ましい実施例では、説明を簡単にするため、2つのハイパーキューブ・レミタについて説明する。これは拡張可能である。

【0305】第1のチャネルは、図4および図12に示すように設計されたチャネル・キーである。8つの処理要素と、それらに結合されたメモリおよび通信論理回路が、ワードとして定義された単一のチャネルに含まれている。内部構成はバイナリ・ストリークキューまたは2次バイナリキューと分類され、おのれはPMEが2つの隣接PMEと接続されている。図10のPME間通信区、特に500、510、520、530、540、550、560、570を参照されたい。

【0306】第2のネットワークでは、モードが8×8アレイとして構成され、サブスタを形成する。完全装備のマシンは、サブスタの8×8アレイで構成され、最大容量のPME32768個を提出する。これらの4096個のモードが接続されて、モード間通信が可能な、8次元ハイパーキューブ・ネットワークを形成する。これにより、様々な指定経路が確立可能となり、様々な長さの、モード間通信経路を、一時的柔軟性が増す。これは、モード間通信、高可能性機能により、モード長を分散して、モード間通信経路を最適化することである。

【10307】この「 α ・ β ・ γ ・ δ 」概念は、各クラス内の「 α ・ β ・ γ ・ δ 」の数を大幅に削減することを目的としている。この概念では、各「 α 」8・2・5が合計3・1・2のPME用の8つの物理要素を持つ。「 α 」中の8・8・2・2・8・2・0として定義されるクラスタを使用し、次にクラスタ内でX・Y・ZおよびY・Z・Xを制限し、最後にW・Z・XおよびZ・X・Wをすべてがクラスタまで延ばす。物理的な要は、64個の小さな積8・3・0から成る総構成8・0・0、8・1・0を頭に描くこと。将来の「 α ・ β ・ γ ・ δ 」の必要については、「 α ・ β ・ γ ・ δ 」の「 α ・ β ・ γ ・ δ 」の技術を示す図17を参照されたい。ここでは、クラスタ内でX・Y・ZおよびY・Z・Xの8・0・0が制限され、W・Z・XおよびZ・X・Wがすべてがクラスタ8・1・0へ移していき、物理的な要は、64個の小さな積8・3・0から成る総構成を頭、描くこと。

[illegible]

5%を使用すると、処理と、必要なフルブット・レートとのバランスが取れる。その場合、A-SIMD処理モードにあるマシンの15%が、疎なフィルタ操作を通してする場合に、未知の指紋をファイアの指紋と突き合わせて詳細な検査を行うことにより、照合を完了すると本発明者等は推定している。この間、マシンの残りの部分はMIMDであり、予備容量、作業待ち行列の管理、および出力のフォーマット化に割り振られた。

【0335】3. MPPのデータベース操作への適用を考慮した。この作業はAにおいて予備的なものであるが、適合性は良いと思われる。MPPの2つの照像がこの前提を支持している。

a. クラスタ制御装置640とアプリケーション・プロセッサ・インタフェース630の接続はマイクロチャネルである。したがって、クラスタ専用で、クラスタから直接アクセスされるDASDを配置することができる。1クラスタ当たり6台の640MBハード・ドライブを備えた64クラスタ・システムは、246GBの記憶域を提供する。さらに、このデータベース全体が10〜20秒で逐次的に探索できる。

b. データベースは一般に、逐次的に探索されない。その代わり、多数のレベルのポインタを使用する。データベース・索引付けは、クラスタ内で実施できる。DASDの各レベルは、2、5GIPSの処理能力および32MBの記憶域によってサポートされる。これは、インデックスの探索および格納によって十分である。インデックスは現在、DASD内に格納されることが多いので、性能が大幅に向上する。そのような手法を使用し、クラスタ・マイクロチャネルに接続されたSCSIインタフェース上にDASDを分散させると、実質上無限のサイズのデータベースが作成可能である。

【0336】図29に、APAPを使用して構築したスーパーコンピュータ・システムのMMPを示す。この手法では再び単位の複製が使用されているが、この場合は

複製されるのは、16個のクラスタを収容する格納装置である。この複製手法の特定の利点は、システムをユーザのニーズに適合するようにスケールアップできることである。

【0337】システム・アーキテクチャ：現在の好ましい実施例で使用されるシステム・アーキテクチャの利点は、ISAシステムが、APAPのプログラミングに携わる多数のユーザに理解されることである。PME-ISAは、以下の表に示すデータ・フォーマットおよび命令フォーマットから構成される。

【0338】データ・フォーマット：基本（オペランド）サイズは16ビット・ワードである。PME記憶域では、オペランドは流合ワード境界上に位置する。ワード・オペランド・サイズだけでなく、16ビットの倍数の他のオペランド・サイズも、追加機能をサポートするのに使用できる。

【0339】オペランド長の範囲内で、オペランドのビット位置に、0から始めて左から右に連続して番号を付ける。上位ビットまたは最上位ビットを参照すると必ず、1番左側のビット位置が参照される。下位ビットまたは最下位ビットを参照すると必ず、1番右側のビット位置が参照される。

【0340】命令フォーマット：命令フォーマットの長さは、16ビットまたは32ビットとすることができる。PME記憶域では、16ビット境界上に命令が位置しなければならない。

【0341】表1に示す汎用命令フォーマットを使用する。通常、命令の最初の4ビットは、命令コードを定義し、OPビットと呼ばれる。命令の定義を拡張するか、または命令に適用される固有の条件を定義するために、追加ビットが必要になる場合がある。これらのビットをOPXビットと呼ぶ。

【表1】

フォーマット・コード	命令
RR	レジスタ間
DA	直接アドレス
RS	レジスタ記憶域
RI	レジスタ即値
SS	記憶域間
SPC	特殊

【0342】表2に示す汎用命令フォーマットを使用する。通常、命令の最初の4ビットは、命令コードを定義し、OPビットと呼ばれる。命令の定義を拡張するか、または命令に適用される固有の条件を定義するために、追加ビットが必要になる場合がある。これらのビットをOPXビットと呼ぶ。

【0343】表3に示す汎用命令フォーマットを使用する。通常、命令の最初の4ビットは、命令コードを定義し、OPビットと呼ばれる。命令の定義を拡張するか、または命令に適用される固有の条件を定義するために、追加ビットが必要になる場合がある。これらのビットをOPXビットと呼ぶ。

ドは、ときには命令コード拡張フィールドとともに、実行すべき動作を定義する。

【0344】個々のフォーマットの詳細な図と、それらのフィールドの解釈を以下の節に示す。命令によっては、2つのフォーマットが組み合わされ、変種の命令を形成しているものもある。これらは主として、命令のアドレス指定モードに関するものである。1例として、記憶域間命令は、直接アドレス指定またはレジスタ・アドレス指定に関係する形式を持つことがある。

【0345】RRフォーマット：レジスタ・レジスタ（RR）フォーマットは、図30に示すように、2つの汎用レジスタ・アドレスを提供し、長さ16ビットである。

【0346】RRフォーマットは、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0347】ビット4～7：レジスタ・アドレス1-R Aフィールドは、16個の汎用レジスタのうちのどれを、オペランドまたは宛先、あるいはその両方として用いるかを指定するのに使用する。

【0348】ビット8～11：0-ビット8が0の場合、フォーマットがRRフォーマットまたはDAフォーマットと定義され、ビット9～11が0の場合は、動作がレジスタ間動作と定義される（直接アドレス・フォーマットの特殊な場合）。

【0349】ビット12～15：レジスタ・アドレス2-R Bフィールドは、16個の汎用レジスタのうちのどれをオペランドとして用いるかを指定するのに使用する。

【0350】DAフォーマット：直接アドレス（DA）フォーマットは、図31に示すように、1つの汎用レジスタ・アドレスおよび1つの直接記憶域アドレスを提供する。

【0351】DAフォーマットは、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0352】ビット4～7：レジスタ・アドレス1-R Aフィールドは、16個の汎用レジスタのうちのどれを、オペランドまたは宛先、あるいはその両方として用いるかを指定するのに使用する。

【0353】ビット8：0-ビット8が0の場合、動作が直接アドレス動作またはレジスタ間動作と定義される。

【0354】ビット9～15：直接記憶域アドレス-直接記憶域アドレス・フィールドは、16個の直接記憶域アドレスまたは間接記憶域アドレス・フィールドとして使用する。直接アドレス・フィールドは、ビット9～11に、直接アドレス形式を記憶域アドレス、非0ではない場合。

【0355】RSフォーマット：レジスタ・記憶域（RS）フォーマットは、図32に示すように、1つの汎用レジスタ・アドレスと1つの直接記憶域アドレスを提供する。記憶域アドレス・フィールドは

る。

【0356】RSフォーマットは、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0357】ビット4～7：レジスタ・アドレス1-R Aフィールドは、16個の汎用レジスタのうちのどれを、オペランドまたは宛先、あるいはその両方として用いるかを指定するのに使用する。

【0358】ビット8：1-ビット8が1の場合、動作がレジスタ記憶域動作と定義される。

【0359】ビット9～11：レジスタ・データ-これらのビットは、RBフィールドによって指定されるレジスタの内容の修正に使う符号付きの値とみなされる。

【0360】ビット12～15：レジスタ・アドレス2-R Bフィールドは、16個の汎用レジスタのうちのどれをオペランドとして用いるかを指定するのに使用する。

【0361】RIフォーマット：レジスタ即値（RI）フォーマットは、1つの汎用レジスタ・アドレスおよび16ビットの即値データを提供する。RIフォーマットは、図33に示すように、長さ32ビットである。

【0362】RIフォーマットは、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0363】ビット4～7：レジスタ・アドレス1-R Aフィールドは、16個の汎用レジスタのうちのどれを、オペランドまたは宛先、あるいはその両方として用いるかを指定するのに使用する。

【0364】ビット8：1-ビット8が1の場合、動作がレジスタ記憶域動作と定義される。

【0365】ビット9～11：レジスタ・データ-これらのビットは、プログラム・カウンタの内容の修正に使う符号付きの値とみなされる。通常、レジスタ即値フォーマットではこのフィールドは、1の値をとる。

【0366】ビット12～15：0-このフィールドが0の場合、即値データ・フィールドを指す更新読みプログラム・カウンタを、オペランドの記憶域アドレスとして使用することが指定される。

【0367】ビット16、31：即値データ-このフィールドは、レジスタ即値命令の16ビット即値データ・オペランドとして機能する。

【0368】SSフォーマット：記憶域間（SS）フォーマットは、2つの記憶域アドレスを提供する。一方は明示的で、他方は暗黙的である。暗黙記憶域アドレスは、汎用レジスタ1に入れている。レジスタ1は、命令で更新され修正される。SS命令は、図34に示すように、直接アドレス形式または記憶域アドレス形式のいずれかで形成される。

【0369】SSフォーマットは、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0370】ビット4～7：記憶域アドレス-OPXフィールドは、命令が明示的または暗黙的記憶域動作を

10

20

30

40

50

義する。ビット4～5は、ADDやSUBTRACTなどの演算タイプを定義する。ビット6～7は、繰上り、桁あふれ、および条件コードの設定方法を制御する。ビット6=0のときは桁あふれが無視され、ビット6=1のときは桁あふれが可能になる。ビット7=0のときは演算中のcarry statが無視され、ビット7=1のときは演算中にcarry statが含まれる。

【0371】

ビット8: 0-形式を直接アドレス形式と定義する。

1-形式を記憶域アドレス形式と定義する。

【0372】ビット9～15: 直接アドレス(直接アドレス形式)-直接記憶域アドレス・フィールドは、レベル固有記憶域ブロックまたは共通記憶域ブロックへのアドレスとして使用する。直接アドレス・フィールドのビット9～11は、直接アドレス形式を定義するため、非0でなければならない。

【0373】ビット9～11: レジスタ・デルタ(記憶域アドレス形式)-これらのビットは、REフィールドによって指定されるレジスタの内容の修正に使う符号付きの値とみなされる。

【0374】ビット12～15: レジスタ・アドレス2(記憶域アドレス形式)-REフィールドは、16個の汎用レジスタのうちのをオペランドの記憶域アドレスとして用いるかを指定するのに使用する。

【0375】SPCフォーマット1: 特殊(SPC1)フォーマットは、図35に示すように、1つの汎用レジスタ記憶域オペランド・アドレスを提供する。

【0376】SPC1フォーマットは、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0377】ビット4～7: OP拡張-OPXフィールドは、命令コードを拡張するのに使用する。

【0378】ビット8: 0または1-このビットが0の

場合、動作がレジスタ動作と定義される。このビットが1の場合、動作がレジスタ記憶域動作と定義される。

【0379】ビット9～11: 命令長-これらのビットは、オペランドの長さを16ビット・ワードで指定するのに使う符号付きの値とみなされる。0の値は長さ0に該当し、B'1111'の値は長さ8に該当する。

【0380】ビット12～15: レジスタ・アドレス2-RBフィールドは、16個の汎用レジスタのうちのをオペランドの記憶域アドレスとして用いるかを指定するのに使用する。

【0381】SPCフォーマット2: 特殊(SPC2)フォーマットは、図36に示すように、1つの汎用レジスタ記憶域オペランド・アドレスを提供する。

【0382】SPC2は、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0383】ビット4～7: レジスタ・アドレス1-RAフィールドは、16個の汎用レジスタのうちのをオペランドまたは宛先、あるいはその両方として用いるのかを指定するのに使用する。

【0384】ビット8～11: OP拡張-OPXフィールドは、命令コードを拡張するのに使用する。

【0385】ビット12～15: レジスタ・アドレス2-RBフィールドは、16個の汎用レジスタのうちのをオペランドの記憶域アドレスとして用いるかを指定するのに使用する。

【0386】命令セット・アーキテクチャの命令セットには、下記の命令が含まれる。表2～8は、PMEのハードワイヤ式命令を示している。表2は、固定小数点演算命令を示す。表3は、記憶域間命令を示す。表4は、論理命令を示す。表5は、シフト命令を示す。表6は、分岐命令を示す。表7は、状況切換え命令を示す。表8は、入出力命令を示す。

【表2】

10

20

30

固定小数点演算命令

名前	略号	TYPE
ADD DIRECT	ada	DA
ADD FROM STORAGE	a	RS
(WITH DELTA)	awd	RS
ADD IMMEDIATE	ai	RI
(WITH DELTA)	aiwd	RI
ADD REGISTER	ar	RR
COMPARE DIRECT ADDRESS	cda	DA
COMPARE IMMEDIATE	ci	RI
(WITH DELTA)	ciwd	RI
COMPARE FROM STORAGE	c	RS
(WITH DELTA)	cwd	RS
COMPARE REGISTER	cr	RR
COPY	cpy	RS
(WITH DELTA)	cpywd	RS
COPY WITH BOTH IMMEDIATE	cpybi	RI
(WITH DELTA)	cpybiwd	RI
COPY IMMEDIATE	cpyi	RI
(WITH DELTA)	cpyiwd	RI
COPY DIRECT	cpyda	DA
COPY DIRECT IMMEDIATE	cpydai	DA
INCREMENT	inc	RS
(WITH DELTA)	incwd	RS
LOAD DIRECT	lda	DA
LOAD FROM STORAGE	l	RS
(WITH DELTA)	lwd	RS
LOAD IMMEDIATE	li	RI
(WITH DELTA)	liwd	RI
LOAD REGISTER	lr	RR
MULTIPLY SIGNED	mpy	SPC
MULTIPLY SIGNED EXTENDED	mpyx	SPC
MULTIPLY SIGNED EXTENDED IMMEDIATE	mpyxi	SPC
MULTIPLY SIGNED IMMEDIATE	mpyi	SPC
MULTIPLY UNSIGNED	mpyu	SPC
MULTIPLY UNSIGNED EXTENDED	mpyux	SPC
MULTIPLY UNSIGNED EXTENDED IMMEDIATE	mpyuxi	SPC
MULTIPLY UNSIGNED IMMEDIATE	mpyui	SPC
STORE DIRECT	stda	DA
STORE	st	RS
(WITH DELTA)	stwd	RS
STORE IMMEDIATE	sti	RI
(WITH DELTA)	stiwd	RI
SUBTRACT DIRECT	sda	DA
SUBTRACT FROM STORAGE	s	RS
(WITH DELTA)	svd	RS
SUBTRACT IMMEDIATE	si	RI
(WITH DELTA)	siwd	RI
SUBTRACT REGISTER	sr	RR
SWAP AND EXCLUSIVE OR WITH STORAGE	swapx	RR

記憶域間命令

名前	略号	TYPE
ADD STORAGE TO STORAGE (WITH DELTA)	sa	SS
ADD STORAGE TO STORAGE DIRECT	sawd	SS
ADD STORAGE TO STORAGE FINAL	sada	SS
(WITH DELTA)	saf	SS
ADD STORAGE TO STORAGE FINAL DIRECT	safwd	SS
ADD STORAGE TO STORAGE INTERMEDIATE	safda	SS
(WITH DELTA)	sai	SS
ADD STORAGE TO STORAGE INTERMEDIATE DIRECT	saiwd	SS
ADD STORAGE TO STORAGE LOGICAL	saida	SS
(WITH DELTA)	sal	SS
ADD STORAGE TO STORAGE LOGICAL DIRECT	salwd	SS
COMPARE STORAGE TO STORAGE	salda	SS
(WITH DELTA)	sc	SS
COMPARE STORAGE TO STORAGE DIRECT	scwd	SS
COMPARE STORAGE TO STORAGE FINAL	scda	SS
(WITH DELTA)	scf	SS
COMPARE STORAGE TO STORAGE FINAL DIRECT	scfwd	SS
COMPARE STORAGE TO STORAGE INTERMEDIATE	scfda	SS
(WITH DELTA)	sci	SS
COMPARE STORAGE TO STORAGE INTERMEDIATE DIRECT	sciwd	SS
COMPARE STORAGE TO STORAGE LOGICAL	scida	SS
(WITH DELTA)	scl	SS
COMPARE STORAGE TO STORAGE LOGICAL DIRECT	sclwd	SS
MOVE STORAGE TO STORAGE	sclda	SS
(WITH DELTA)	snov	SS
MOVE STORAGE TO STORAGE DIRECT	snovwd	SS
SUBTRACT STORAGE TO STORAGE	snovwa	SS
(WITH DELTA)	ss	SS
SUBTRACT STORAGE TO STORAGE DIRECT	sswd	SS
SUBTRACT STORAGE TO STORAGE FINAL	ssda	SS
(WITH DELTA)	ssf	SS
SUBTRACT STORAGE TO STORAGE FINAL DIRECT	ssfwd	SS
SUBTRACT STORAGE TO STORAGE INTERMEDIATE	ssfda	SS
(WITH DELTA)	ssi	SS
SUBTRACT STORAGE TO STORAGE INTERMEDIATE DIRECT	ssiwd	SS
SUBTRACT STORAGE TO STORAGE LOGICAL	saida	SS
(WITH DELTA)	ssl	SS
SUBTRACT STORAGE TO STORAGE LOGICAL DIRECT	sslwd	SS
	sslda	SS

論理命令

名前	略号	TYPE
AND DIRECT ADDRESS	nda	DA
AND FROM STORAGE	n	RS
(WITH DELTA)	nwd	RS
AND IMMEDIATE	ni	RI
(WITH DELTA)	niwd	RI
AND REGISTER	nr	RR
OR DIRECT ADDRESS	oda	DA
OR FROM STORAGE	o	RS
(WITH DELTA)	owd	RS
OR IMMEDIATE	oi	RI
(WITH DELTA)	oiwd	RI
OR REGISTER	or	RR
XOR DIRECT ADDRESS	xda	DA
XOR FROM STORAGE	x	RS
(WITH DELTA)	xwd	RS
XOR IMMEDIATE	xi	RI
(WITH DELTA)	xiwd	RI
XOR REGISTER	xr	RR

【表 5】

シフト命令

名前	略号	TYPE
SCALE BINARY	scale	SPC
SCALE BINARY IMMEDIATE	scalei	SPC
SCALE BINARY REGISTER	scalr	SPC
SCALE HEXADECIMAL	scaleh	SPC
SCALE HEXADECIMAL IMMEDIATE	scalehi	SPC
SCALE HEXADECIMAL REGISTER	scalehr	SPC
SHIFT LEFT ARITHMETIC BINARY	sla	SPC
SHIFT LEFT ARITHMETIC BINARY IMMEDIATE	slai	SPC
SHIFT LEFT ARITHMETIC BINARY REGISTER	slar	SPC
SHIFT LEFT ARITHMETIC HEXADECIMAL	slah	SPC
SHIFT LEFT ARITHMETIC HEXADECIMAL IMMEDIATE	slahi	SPC
SHIFT LEFT ARITHMETIC HEXADECIMAL REGISTER	slahr	SPC
SHIFT LEFT LOGICAL BINARY	sll	SPC
SHIFT LEFT LOGICAL BINARY IMMEDIATE	slli	SPC
SHIFT LEFT LOGICAL BINARY REGISTER	sllr	SPC
SHIFT LEFT LOGICAL HEXADECIMAL	sllh	SPC
SHIFT LEFT LOGICAL HEXADECIMAL IMMEDIATE	sllhi	SPC
SHIFT LEFT LOGICAL HEXADECIMAL REGISTER	sllhr	SPC
SHIFT RIGHT ARITHMETIC BINARY	sra	SPC
SHIFT RIGHT ARITHMETIC BINARY IMMEDIATE	srai	SPC
SHIFT RIGHT ARITHMETIC BINARY REGISTER	srar	SPC
SHIFT RIGHT ARITHMETIC HEXADECIMAL	srah	SPC
SHIFT RIGHT ARITHMETIC HEXADECIMAL IMMEDIATE	srahi	SPC
SHIFT RIGHT ARITHMETIC HEXADECIMAL REGISTER	srahr	SPC
SHIFT RIGHT LOGICAL BINARY	srl	SPC
SHIFT RIGHT LOGICAL BINARY IMMEDIATE	srli	SPC
SHIFT RIGHT LOGICAL BINARY REGISTER	srlr	SPC
SHIFT RIGHT LOGICAL HEXADECIMAL	srlh	SPC
SHIFT RIGHT LOGICAL HEXADECIMAL IMMEDIATE	srlhi	SPC
SHIFT RIGHT LOGICAL HEXADECIMAL REGISTER	srlhr	SPC

【表6】

99

分岐命令

名前	略号	TYPE
BRANCH	b	RS
(WITH DELTA)	bwd	RS
BRANCH DIRECT	bda	DA
BRANCH IMMEDIATE	bi	RI
(WITH DELTA)	biwd	RI
BRANCH REGISTER	br	RS
BRANCH AND LINK	bal	RS
BRANCH AND LINK DIRECT	balda	DA
BRANCH AND LINK IMMEDIATE	ball	RI
(WITH DELTA)	ballwd	RI
BRANCH AND LINK REGISTER	ballr	RS
BRANCH BACKWARD	bb	RS
(WITH DELTA)	bbwd	RS
BRANCH BACKWARD DIRECT	bbda	DA
BRANCH BACKWARD IMMEDIATE	bbi	RI
(WITH DELTA)	bbiwd	RI
BRANCH BACKWARD REGISTER	bbr	RS
BRANCH FORWARD	bf	RS
(WITH DELTA)	bfwd	RS
BRANCH FORWARD DIRECT	bfda	DA
BRANCH FORWARD IMMEDIATE	bfi	RI
(WITH DELTA)	bfiwd	RI
BRANCH FORWARD REGISTER	bfr	RS
BRANCH ON CONDITION	bc	RS
(WITH DELTA)	bcwd	RS
BRANCH ON CONDITION DIRECT	bcda	RS
BRANCH ON CONDITION IMMEDIATE	bei	RI
(WITH DELTA)	beiwd	RI
BRANCH ON CONDITION REGISTER	ber	RS
BRANCH RELATIVE	brcl	RI
(WITH DELTA)	brclwd	RS
NULL OPERATION	noop	RR

【表 7】

状況切替命令

名前	略号	TYPE
RETURN	ret	SPC

【表 8】

入出力命令

名前	略号	TYPME
IN	IN	SPC
OUT	OUT	SPC
INTERNAL DIOR/DIOV	INTR	SPC

【0387】機能の要約：

APAPマシンの位置付けは、技術上CM-1とN-キューブの間にあると位置付けられると考えられる、本発明の詳細な態様について説明してきた。CM-1では、本発明のAPAPと同様に、処理要素に点設計を使用し、基本チップ上で処理要素とメモリを組み合わせている。しかし、CM-1では1ビット幅の直列プロセッサを使用しているのに対し、APAPシリーズでは16ビット幅のプロセッサを使用する。CMシリーズのマシンは、1プロセッサ当たり4キロビットのメモリから始まり、8キロビットまたは16キロビットまで成長している。一方、本発明の最初のAPAPチップでは、32キロビット・16ビットのメモリを提供している。CM-1およびその後継マシンは厳密にSIMDマシンであり、CM-1はハイブリッド型である。この代わりに、本発明のAPAPは、MIMD動作モードをSIMDモードと共に効果的に使用している。本発明の並列16ビット幅PMEは、N-キューブに向かって1近づくにつれ思えるかもしれないが、そう見るのは適当ではない。APAPは、N-キューブ型のマシンと異なり、メモリおよび経路指定が処理要素から分離されていない。また、APAPでは32キロビット・16ビットのPMEを実現するが、N-キューブで実現されるのは4キロビット・32ビット・プロセッサにすぎない。

【0388】上述のような表面的な類似点はあるが、A-PAP概念は、F記号までCMおよびN-キラーズ・シグナルとほとんど異なる。

[illegible]

【0390】また、CM-1が純粋なハイパーキューブである場合に必要となる64Kハイパーキューブについて考えてみたい。その場合、各PMEには、他の16個のPMEへのポートが必要であり、15の論理7ステップのうちもつとも離れた2つのPME間でデータを経路指定できることになる。すべてのPMEが平均距離で7ステップを転送しようとする場合、7個のPMEのうちの2個が活動状態になる。しかし、CM-1では16次元のハイパーキューブを使用しない。CM-1は、チップ上の16個のポートをNEWSネットワークと相互接続してから、チップ内で1つのポート機能を提供する。4096個のポートを接続して12次元のハイパーキューブを形成する。衝突がない場合、ハイプネットワークの論理直径は15であるが、16個のPMEがリンクを争奪するので、その実効直径はそれよりはるかに大きくなる。すなわち、8ステップの移動がある場合、16個のポートをそれぞれ2個だけが活動状態になる。これは、すべてのデータ移動を完了するのに、4サイクルではなく8つの完全なサイクルが必要なることを意味する。

【0391】N-キューブは、実際には単純なハイパーキューブを使用するが、現在はPME4096個がサポートせず、これがって12次元ハイパーキューブ（PME8192個の場合は13次元）を使用している。N-キューブを16Kプロセッサに拡張し、APAPを同等の処理能力幅を確保するには、バス幅を4倍に増やし、各PMEユニットへの接続ポートを25%増加する必要がある。この結論を裏付けは確かなデータはないが、N-キューブ、ハイパーキューブでは、16K、PMEユニットは必要ない。これにはメモリ・システム不足するように思われた。

[illegible]

ングを示す図である。これは、他のシステムの性能に匹敵するが、他のシステムよりプリントがはるかに小さい大規模システムである。これは、より小規模なマシンに使用されるような格納装置内でAPAPクラスタを複製することによって構築できる。

【図30】レジスタ・レジスタ(RR)フォーマットを示す図である。

【図31】直接アドレス(DA)フォーマットを示す図である。

【図32】レジスタ記憶域(RS)フォーマットを示す図である。

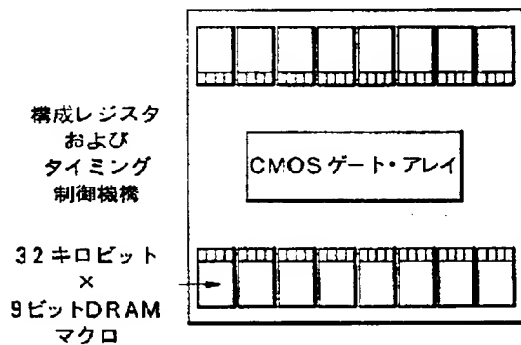
【図33】レジスタ即値(RI)フォーマットを示す図である。

【図34】記憶域間(SS)フォーマットを示す図である。

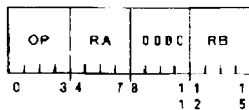
【図35】特殊(SPC1)フォーマットを示す図である。

【図36】特殊(SPC2)フォーマットを示す図である。

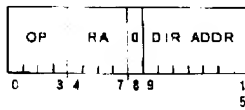
【図3】



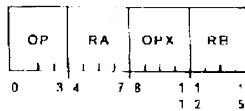
【図30】



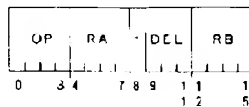
【図31】



【図36】



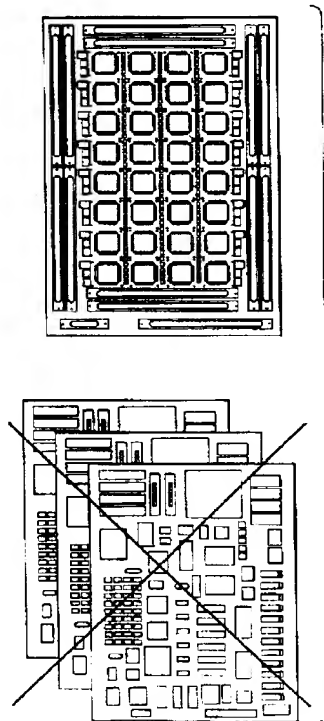
【図32】



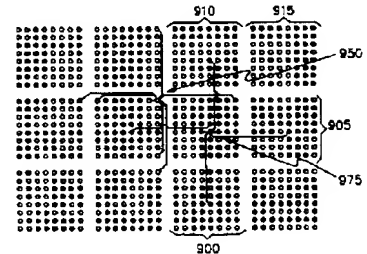
【符号の説明】

- 200 アプリケーション・プロセッサ
- 240 デスト・デバッグ・デバイス
- 250 アレイ・デ・レクタ
- 300 シングル・プロセッサ・ユニット
- 301 32Kワード・メモリ
- 302 16ビット・プロセッサ
- 310 ネットワーク・カード
- 313 ネットワーク・ルータ
- 314 信号入出力機構
- 405 ALレジスタ
- 406 マルチプレクサ
- 420 メモリ
- 460 演算論理機構
- 630 アプリケーション・プロセッサ・インタフェース
- 640 クラスタ制御装置
- 650 クラスタ・シンクロナイザ

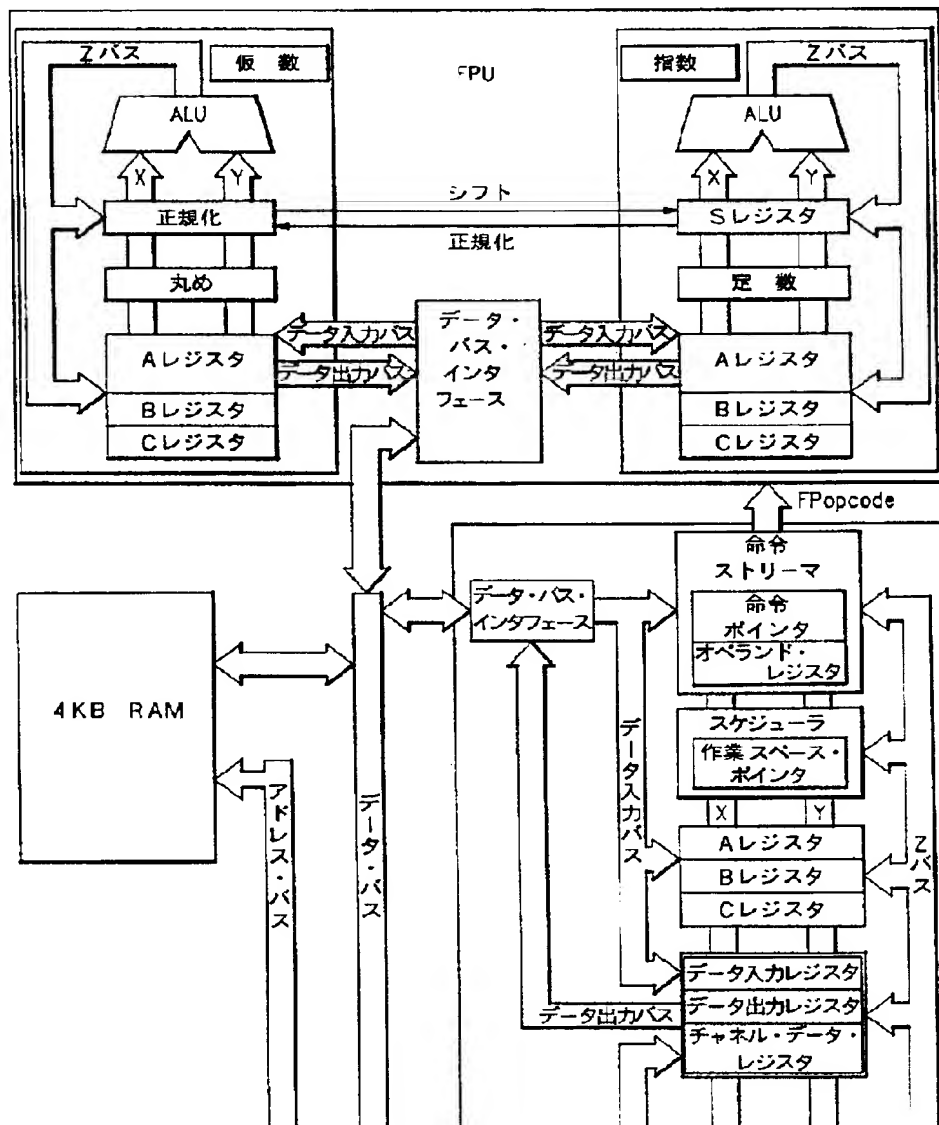
【図4】



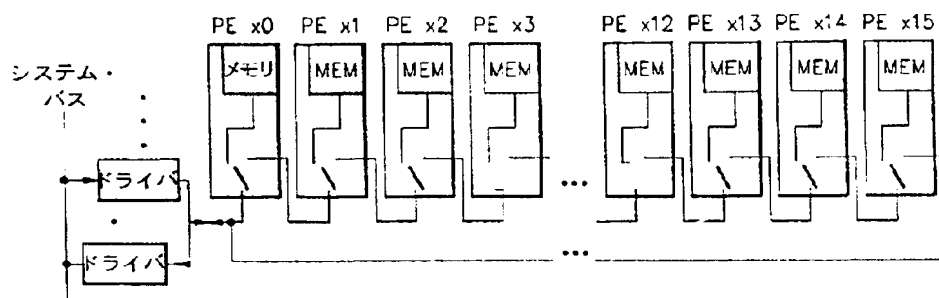
【図18】



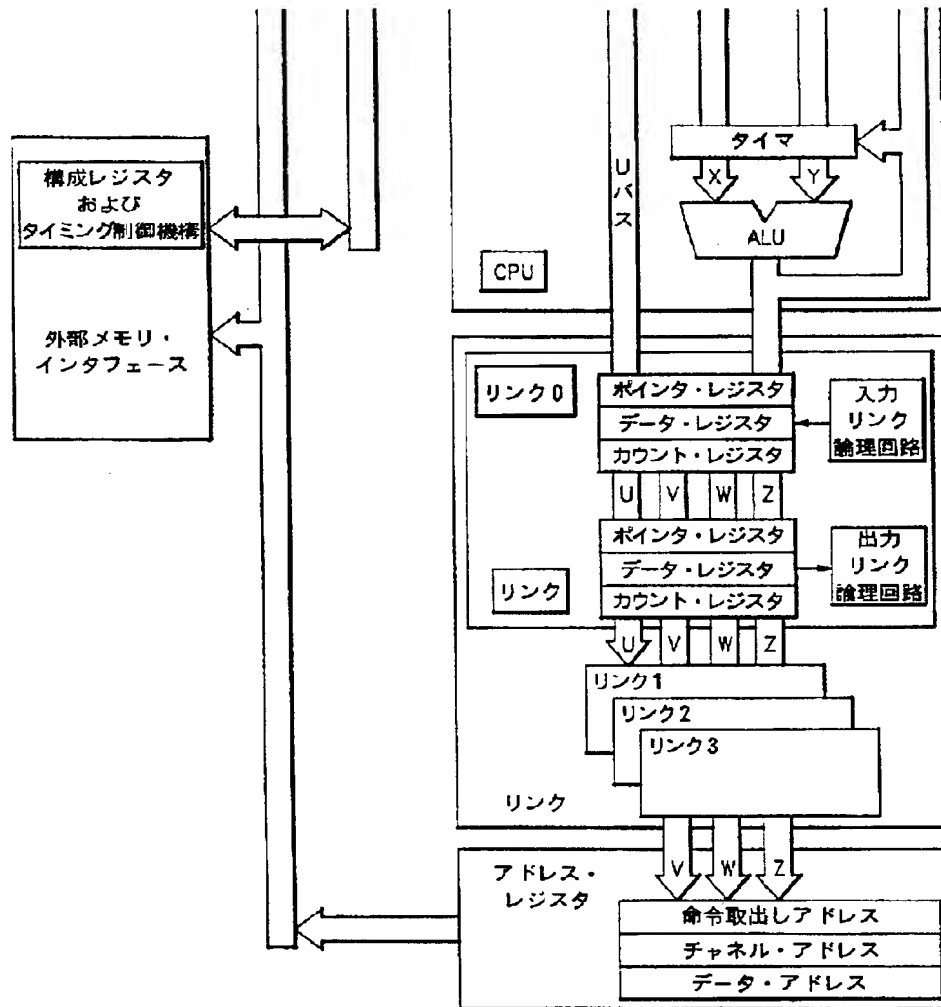
【図 1】



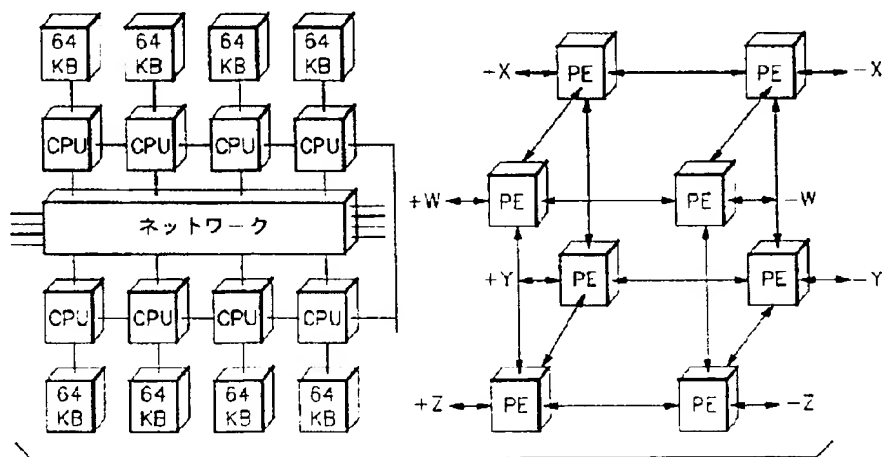
【図 15】



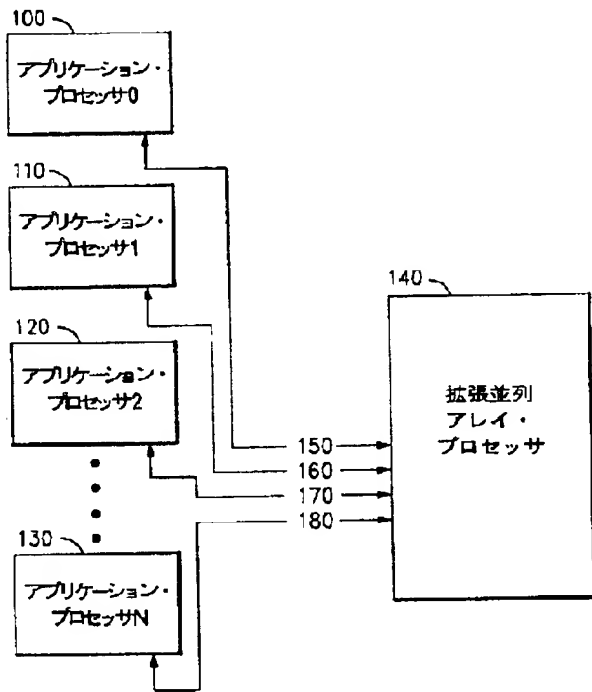
【図2】



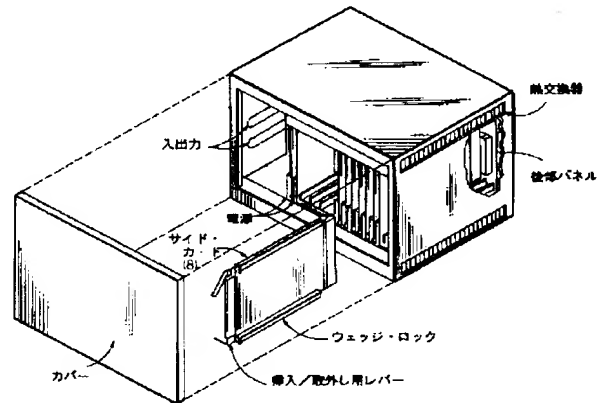
【図11】



【図5】

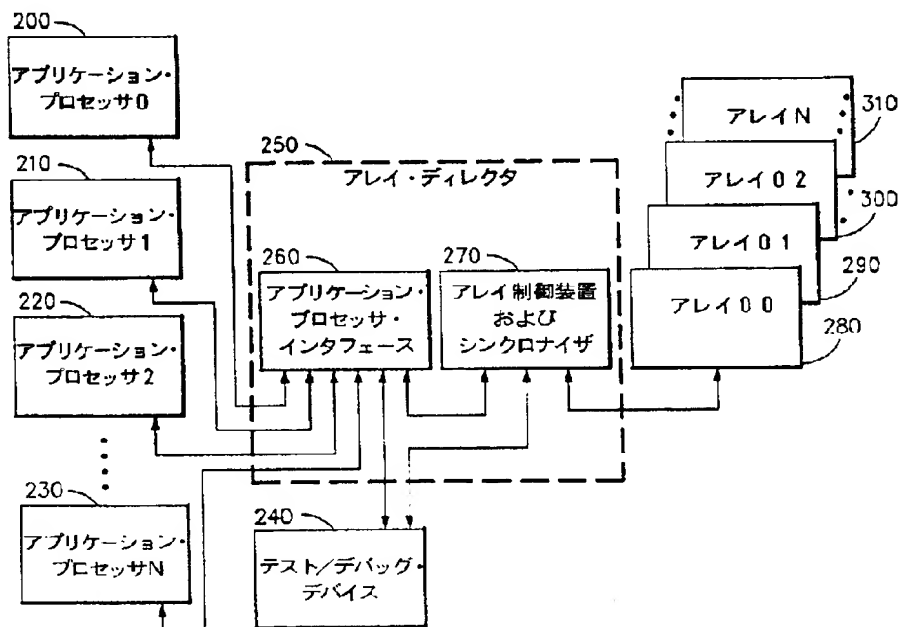


【図28】

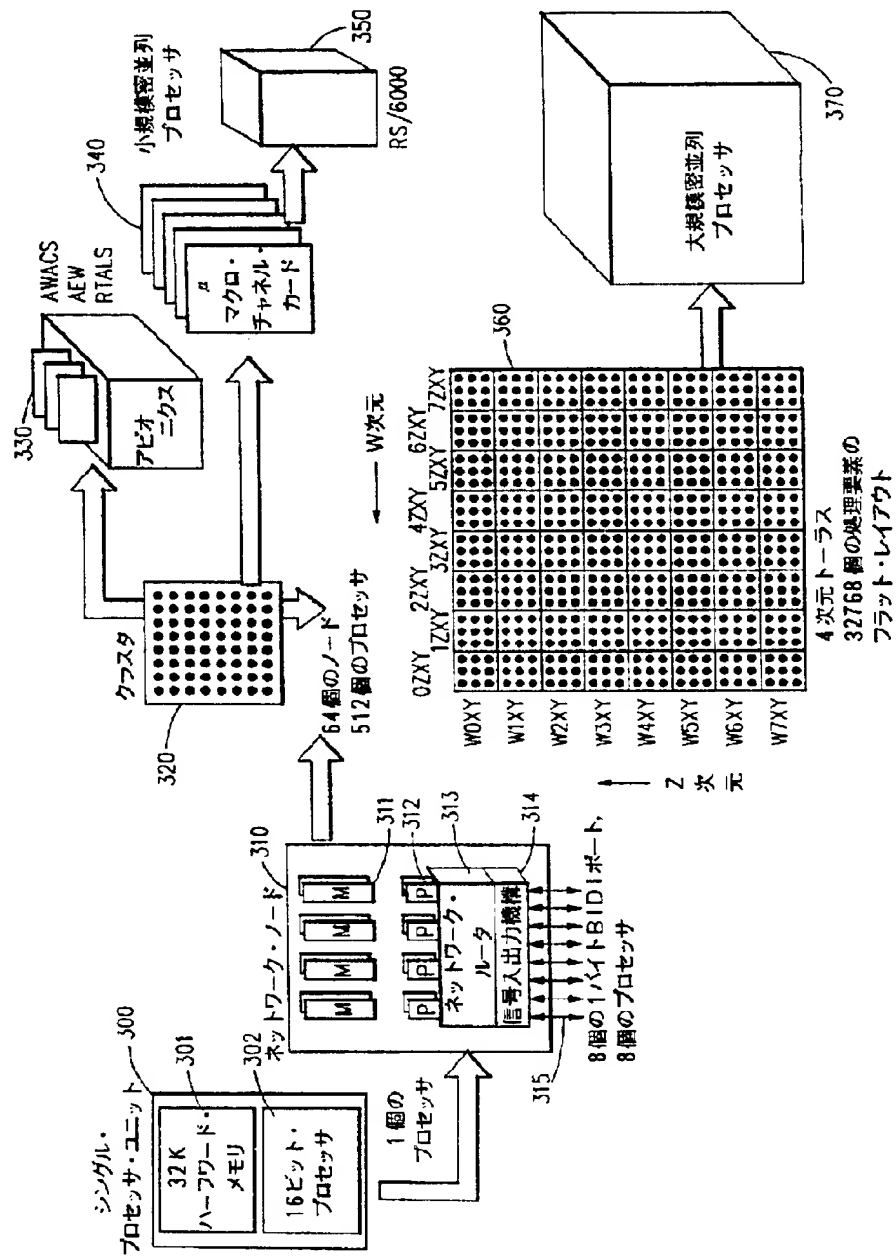


アーキテクチャ: SIMD/MIMD
並列プロセッサ512個
記憶域: 32MB
性能: 毎秒25個命令
規格: MIL-E-5400
容積: 0.5立方フィート
重量: 80.48ポンド
電力: 280W
拡張: プロセッサを512個
追加可能(+2.5BOPS)
32MBの記憶域を増設可能

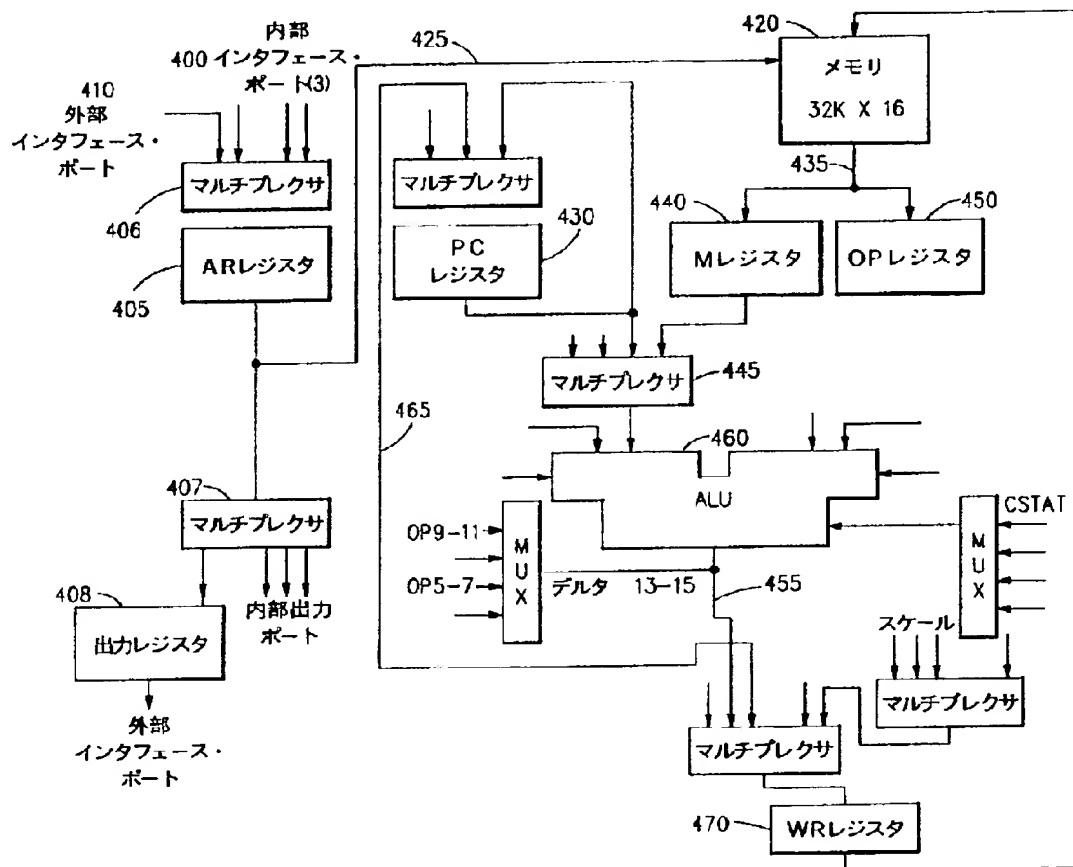
【図6】



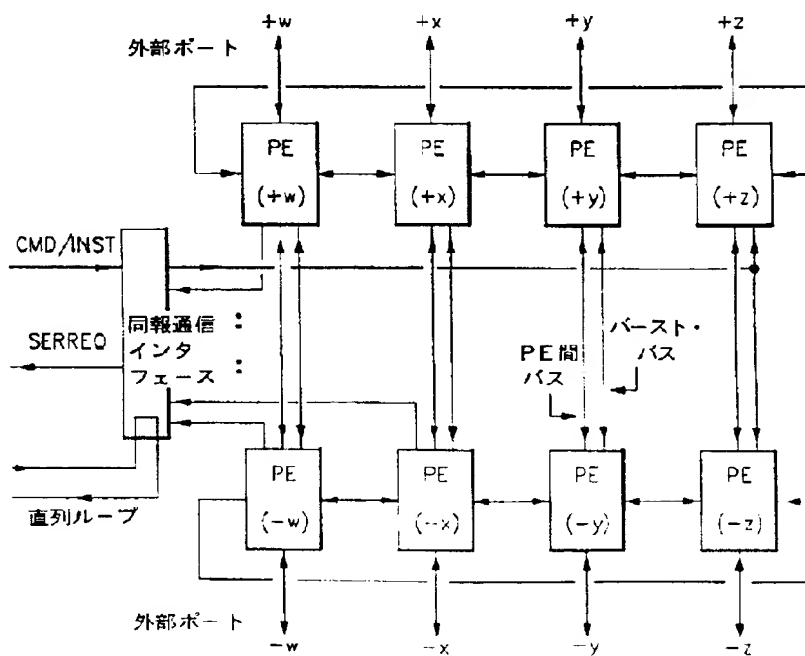
【図 7】



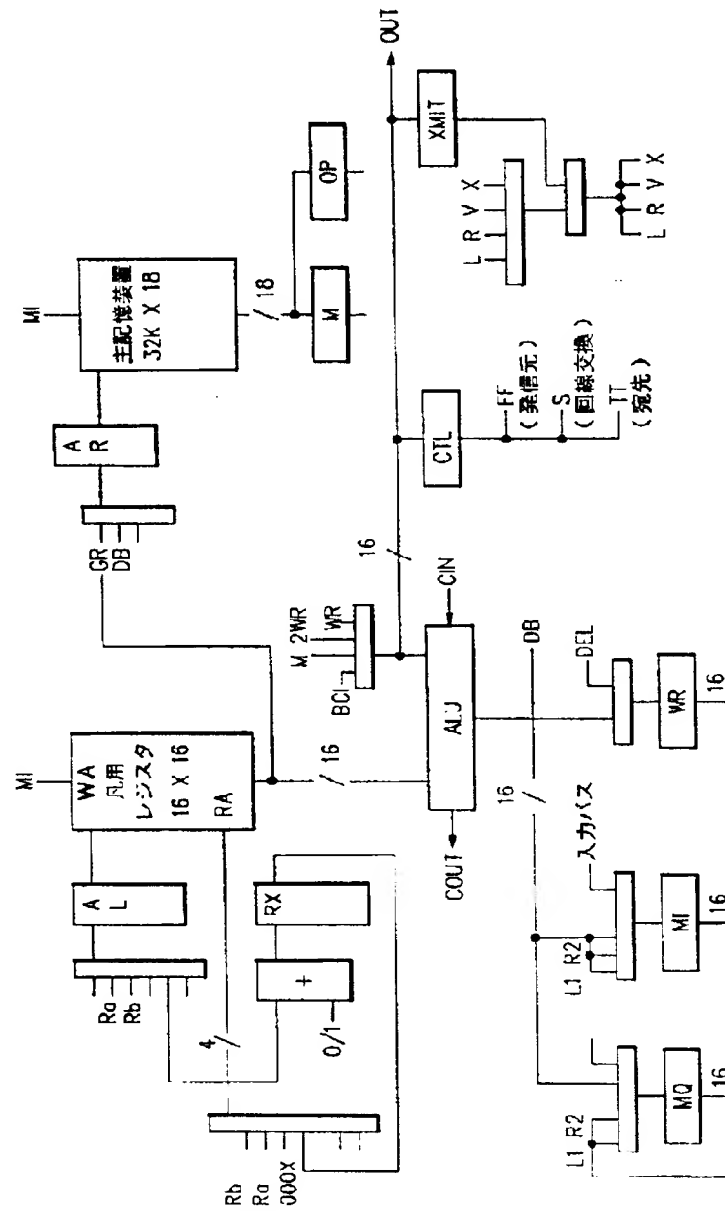
【図8】



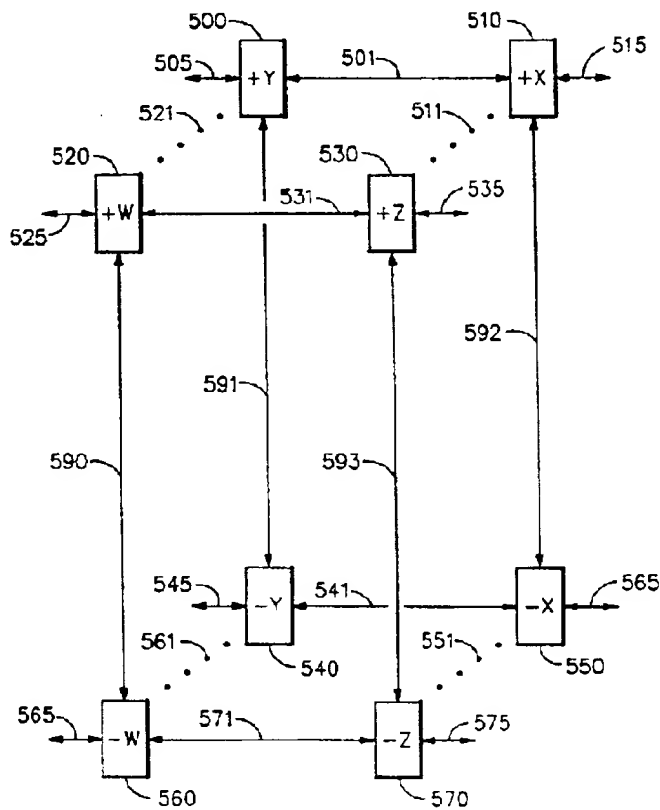
【図12】



【図 9】

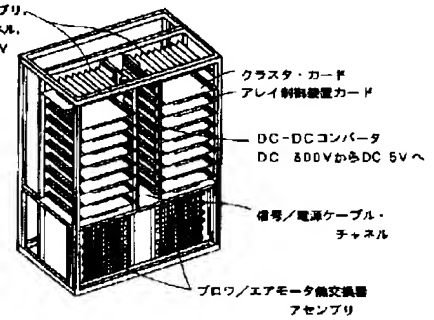


【図 10】

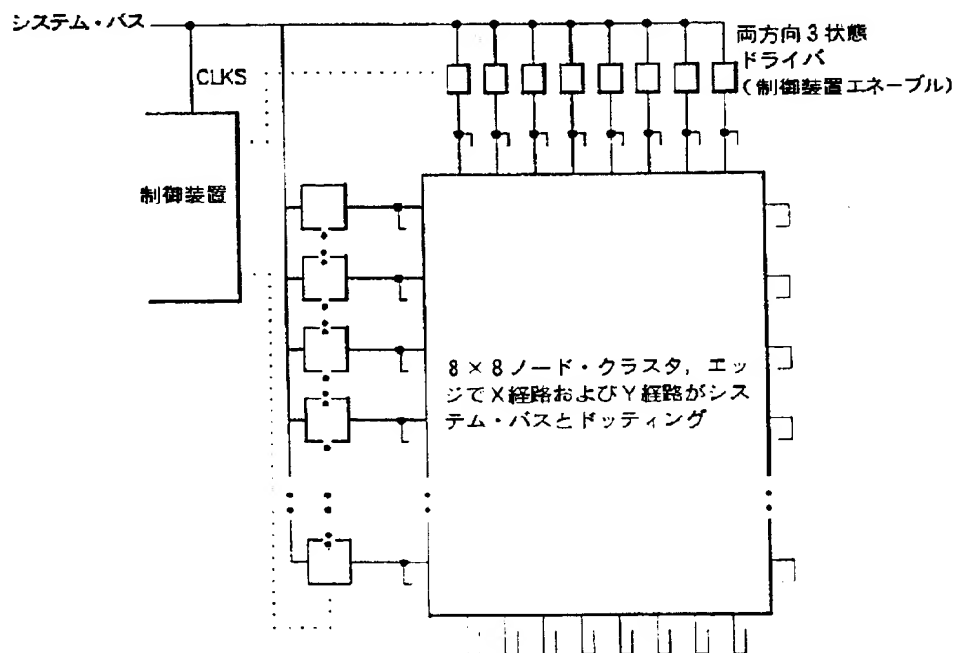


【図 29】

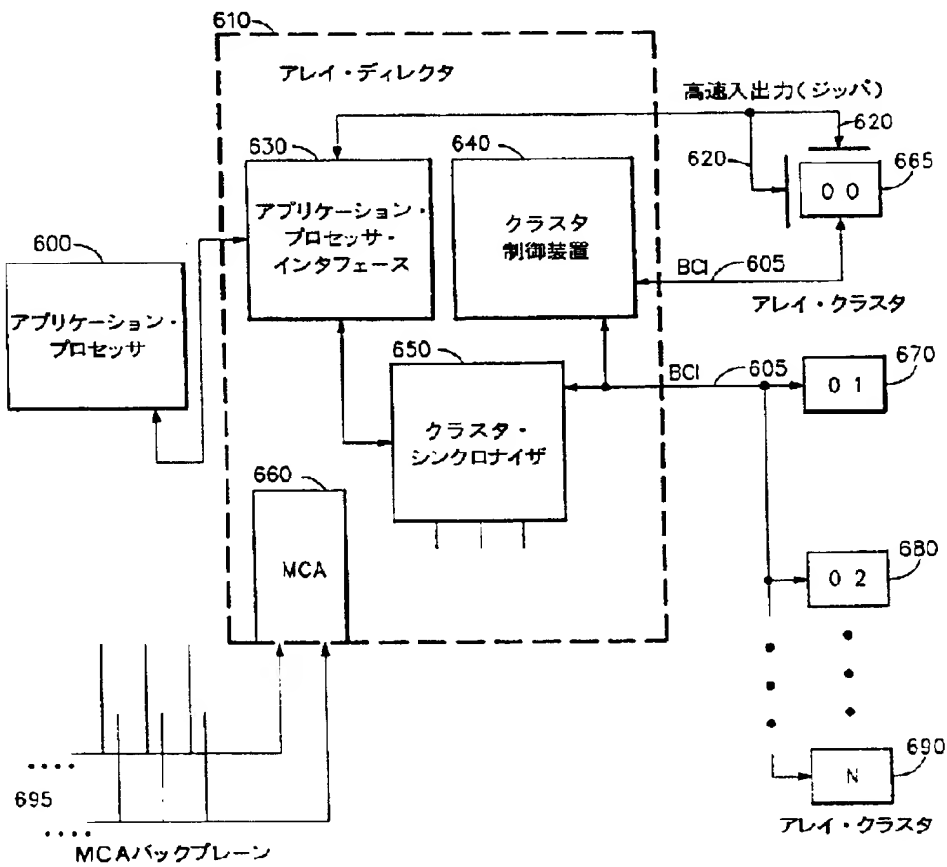
フィーチャ・カード・アセンブリ、
IBMタイプ・カード、後部パネル、
DC-DCコンバータ、DC 500V
から 5V および ±12V へ



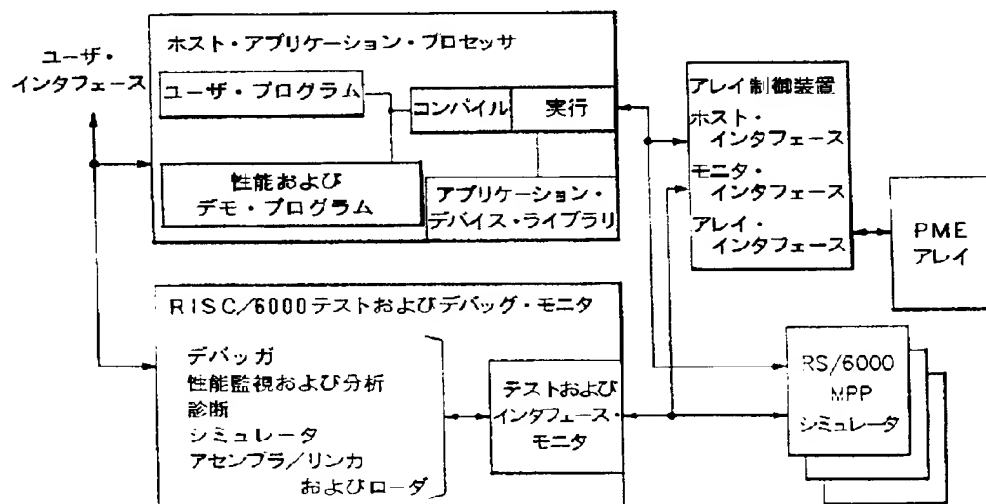
【図 14】



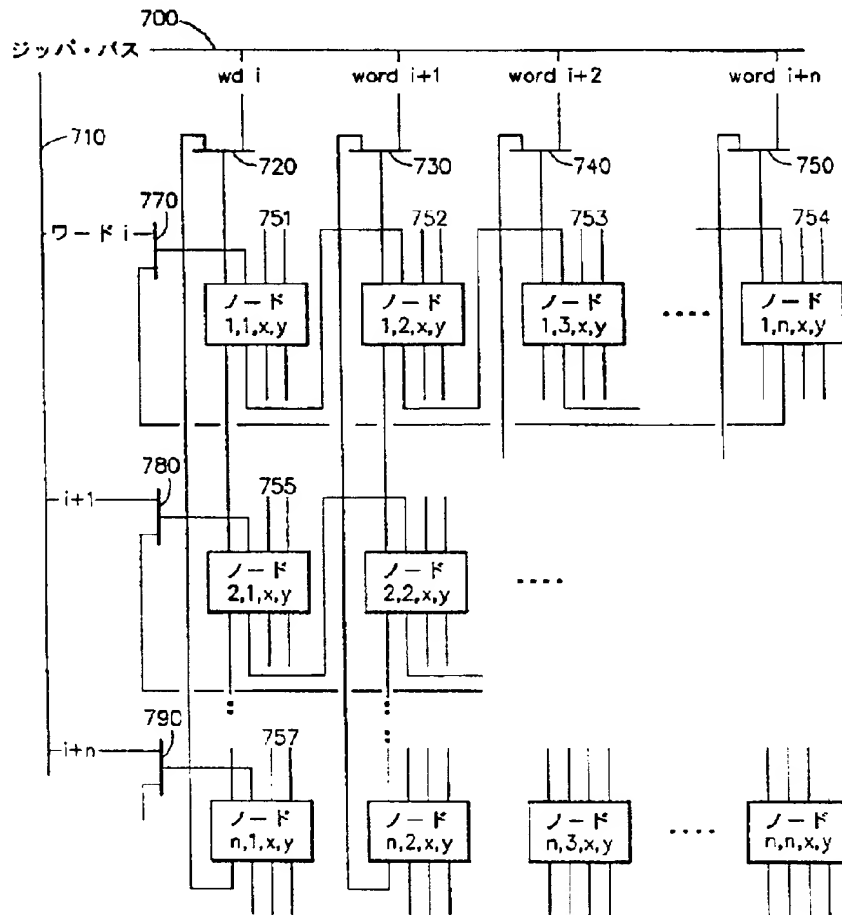
【図13】



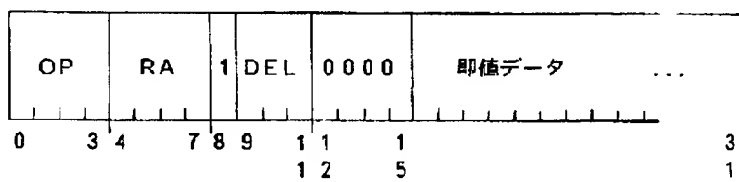
【図21】



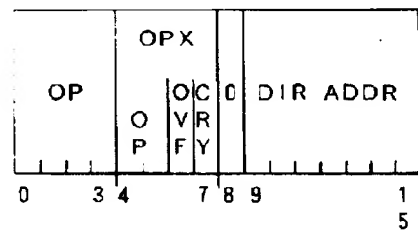
【図16】



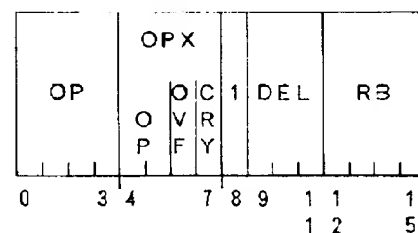
【図33】



【図34】

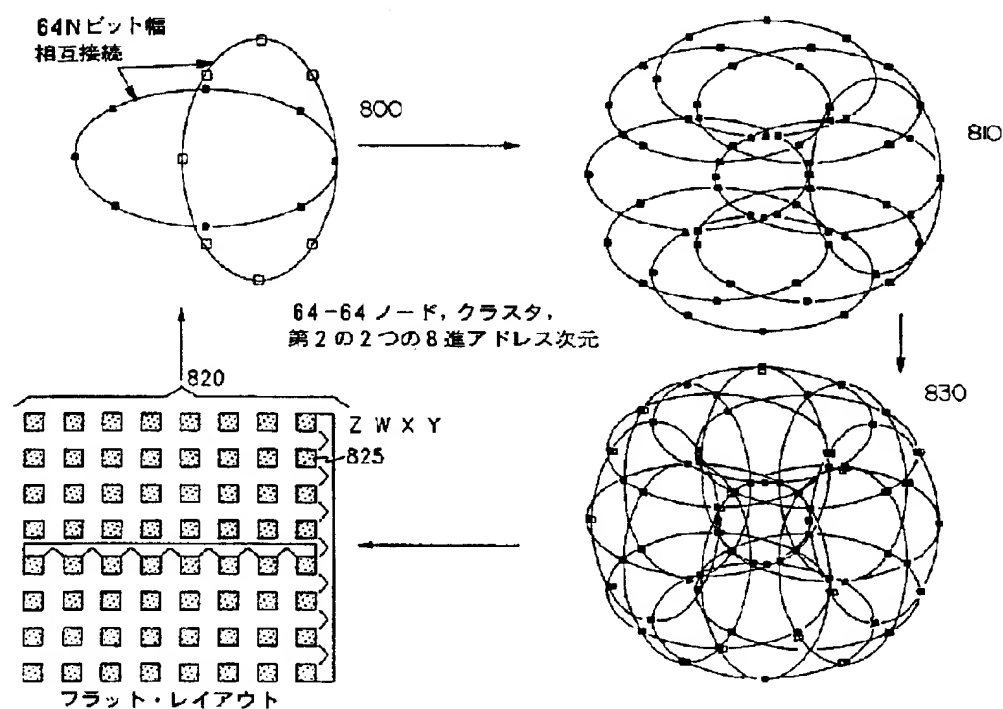


直接
アドレス
形式

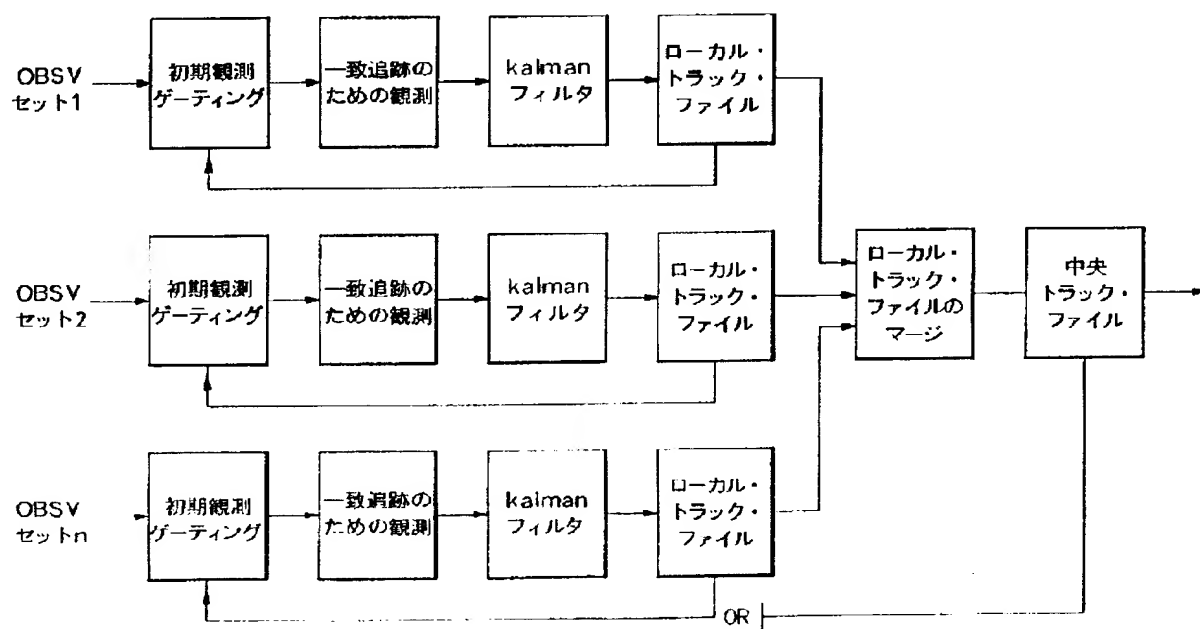


記憶域
アドレス
形式

【図17】

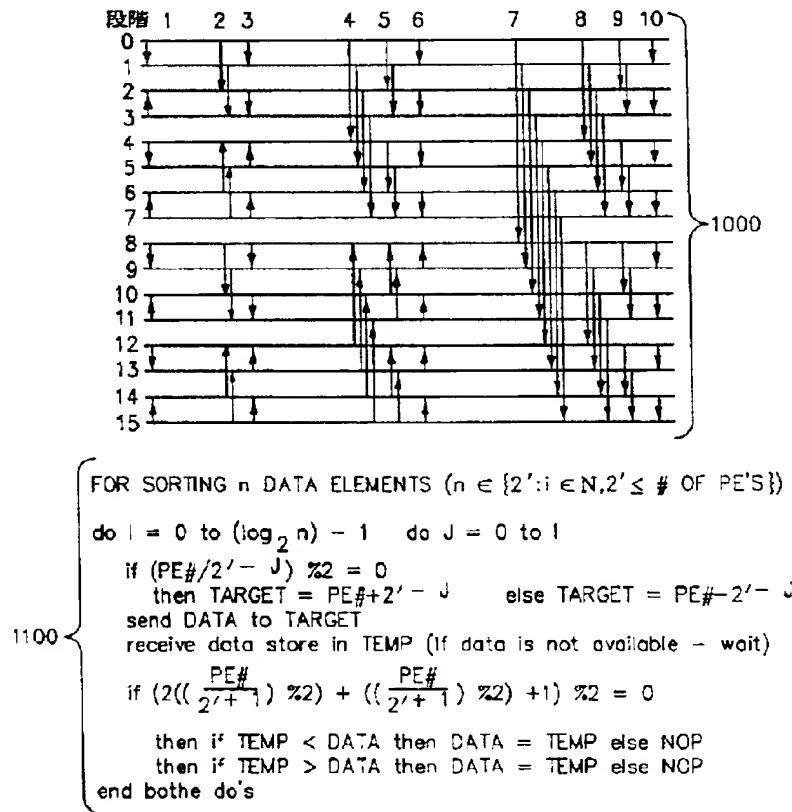


【図25】

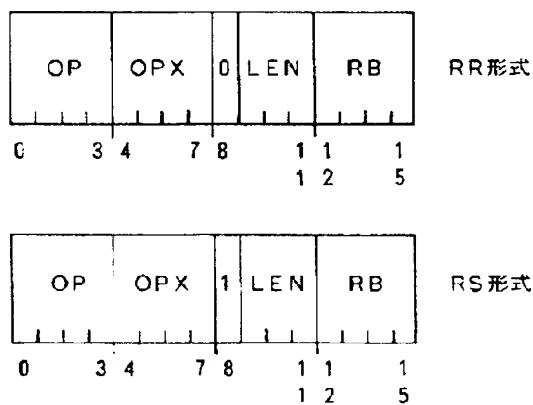


【図 19】

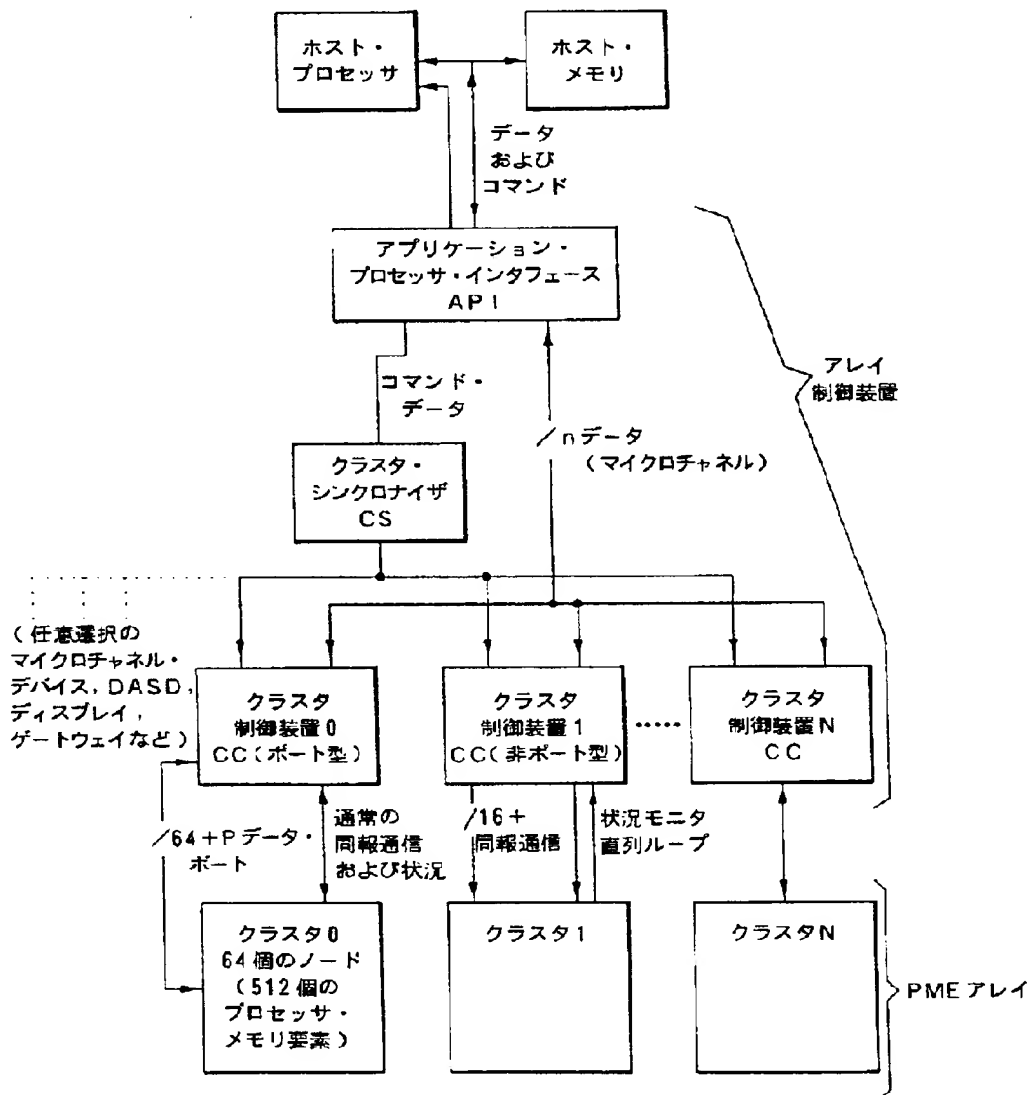
16要素分類がパターンをどう繰り返すか



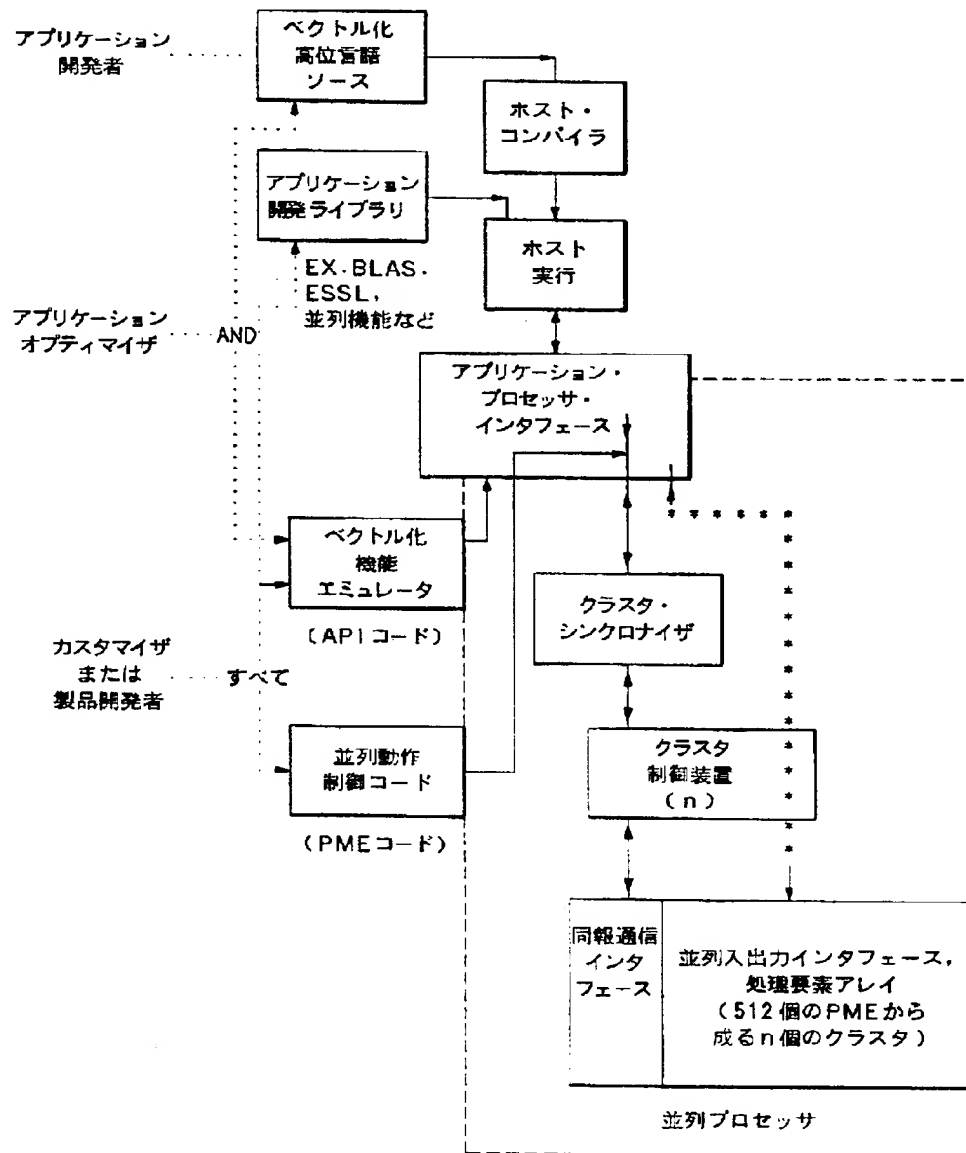
【図 35】



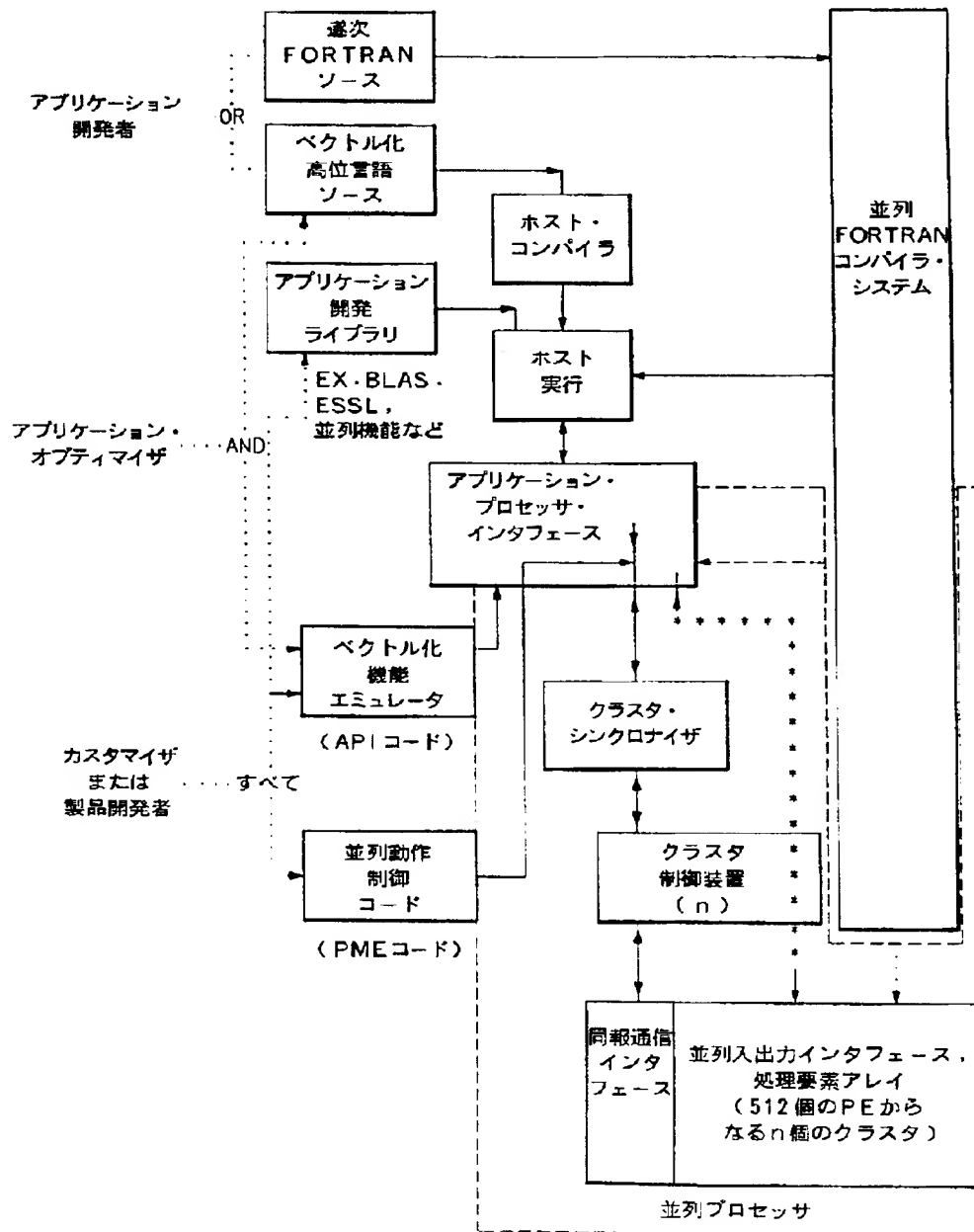
【図20】



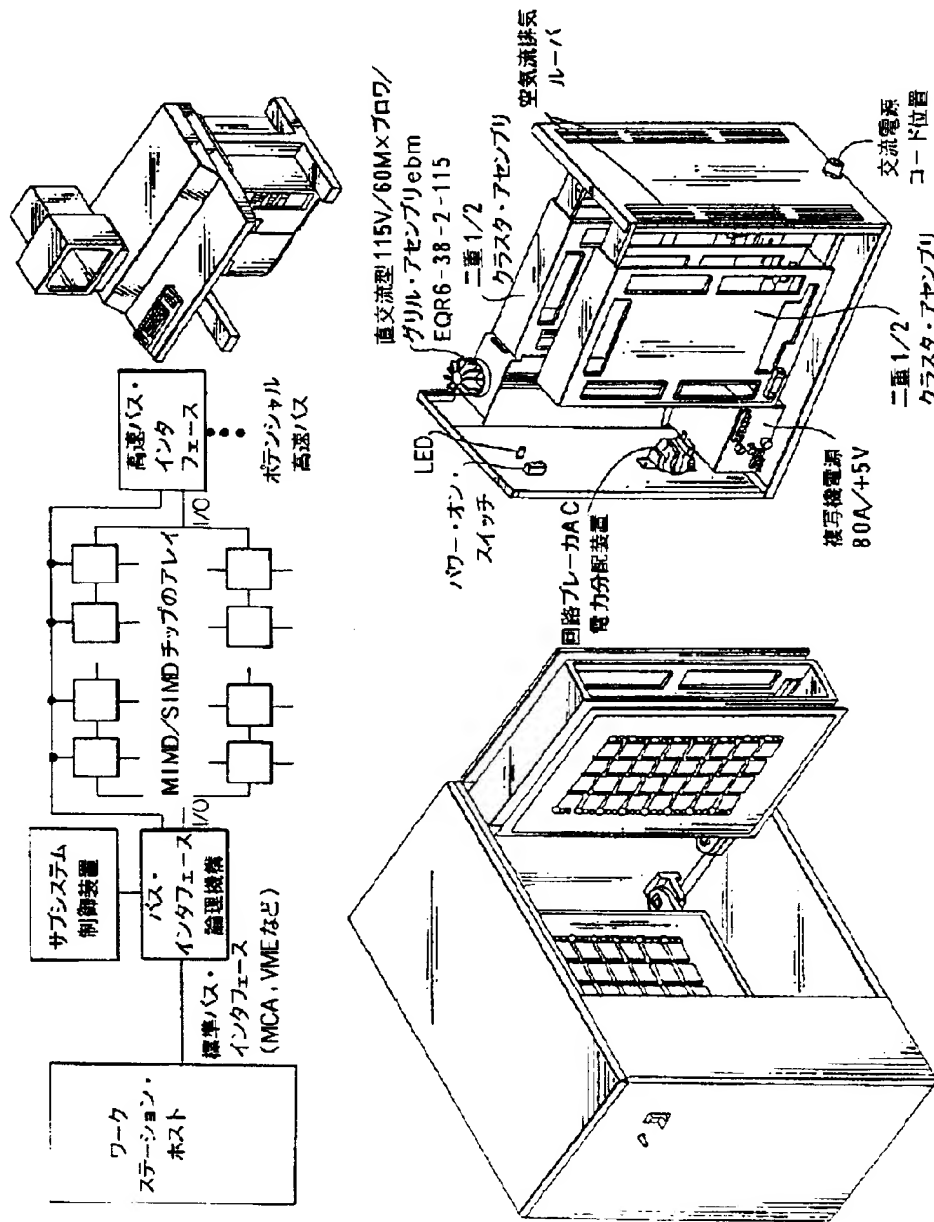
【図 22】



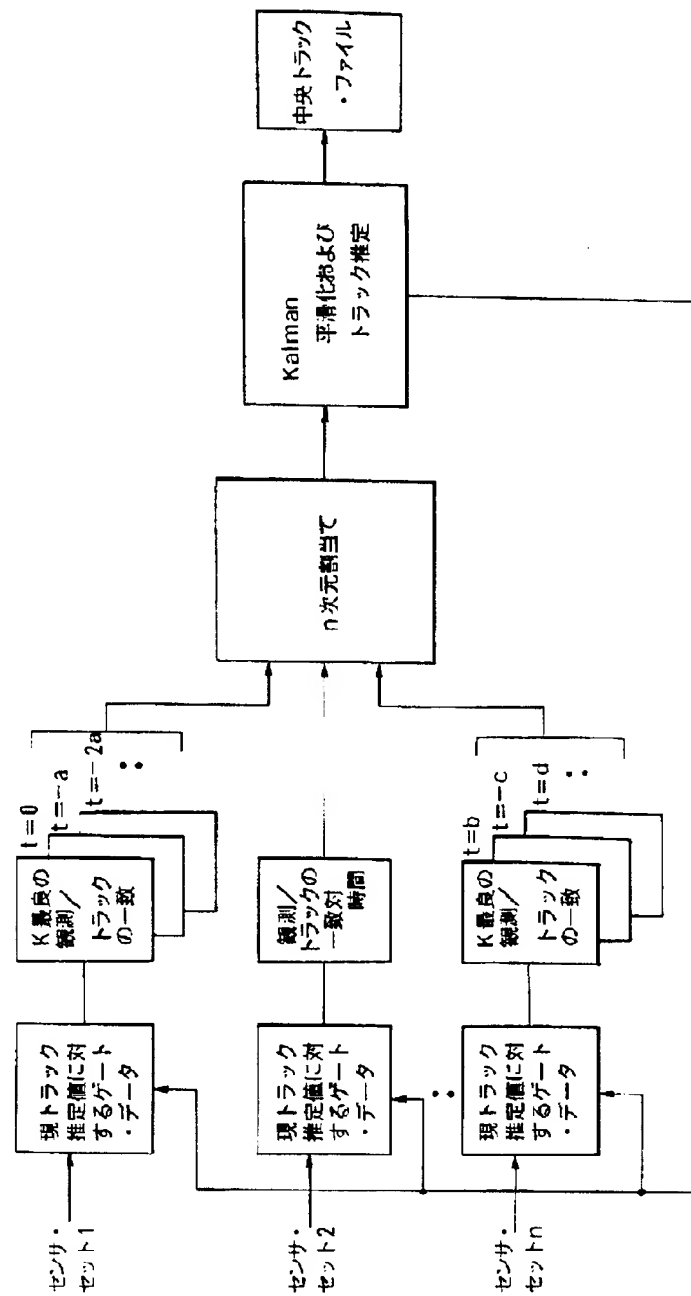
【図 23】



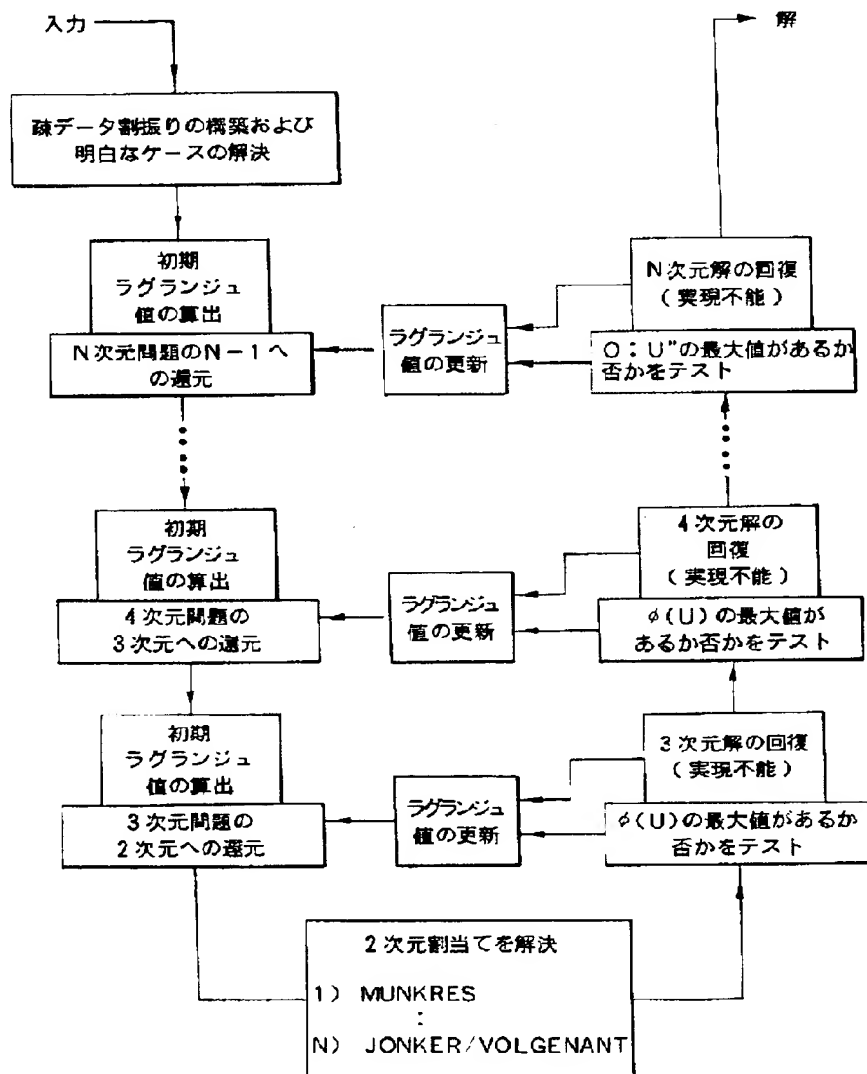
【図 2 4】



【図 26】



【例 27】



12月21日 星期一

(72) 発明者 カサノバ、マシュー・ロビンソン
 アメリカ合衆国12601、ニュー・ヨーク州
 水牛、ロビンソン、マシュー・ロビンソン

[illegible][illegible]

(72) 泰明語 トロシト・シロシロ・ダシシ
 阿波方言卷第12401、12402、12403
 成語クシト、シロシロ・ダシシ・ダシシ
 頁 2179

(72) 金明: 普
 $1.1 \times 10^{-10} \text{ g} \times 6.02 \times 10^{23} \text{ mol}^{-1} \times 10^{-3} \text{ mol} = 6.62 \times 10^{12}$
 答: 金明金的质量为 $13.760 \times 10^{-3} \text{ g}$ 或 13.760 mg
 $1.1 \times 10^{-10} \text{ g} \times 6.02 \times 10^{23} \text{ mol}^{-1} \times 10^{-3} \text{ mol} = 6.62 \times 10^{12}$
 $6.62 \times 10^{12} \times 2.07 = 1.37 \times 10^{13}$

[illegible]

- (72) 発明者 ビリー・ジャック・スウルズ
アメリカ合衆国12401、ニューヨーク州
キングストン、ハーレー・アベニュー
72
- (72) 発明者 ドナルド・マイケル・レスマイスター
アメリカ合衆国13850、ニューヨーク州
ゲェスタル、ロビンズ・ヒル・ロード
108エイ
- (72) 発明者 リチャード・アーネスト・マイルズ
アメリカ合衆国13732、ニューヨーク州
アパラチン、ハイランド・ドライブ 8
- (72) 発明者 リチャード・エドワード・サイヤー
アメリカ合衆国13732、ニューヨーク州
アパラチン、フォレスト・ヒル・ロード
109
- (72) 発明者 エリック・ニールン・レター
アメリカ合衆国18851、ペンシルバニア
州ウォレン・センター、エイチ・シー・
アール34、ボックス29ビー
- (72) 発明者 ロバート・レイマント・リチャードソン
アメリカ合衆国13850、ニューヨーク州
ゲェスタル、スーザン・ロード、アール
・デュー2、ボックス81

- (72) 発明者 デーヴィッド・ブルース・ロルフ
アメリカ合衆国12491、ニューヨーク州
ウェスト・ハーレー、バイン・トリー・
ロード 24
- (72) 発明者 ニコラス・ジェローム・ショー・ワグナー
アメリカ合衆国13845、ニューヨーク州
タイオガ・センター、ビー・オー・ボック
ス18
- (72) 発明者 ガンセント・ジョン・スモ・ナル
アメリカ合衆国13760、ニューヨーク州
エンドウェル、スカイレーン・テラス
812
- (72) 発明者 ジェームズ・ロバート・スタップ
アメリカ合衆国13760、ニューヨーク州
エンドウェル、マダリア・ストリート
2742
- (72) 発明者 ボール・アンバ・ウォルキンソン
アメリカ合衆国13732、ニューヨーク州
アパラチン、フォレスト・ヒル・ロード
544
- (56) 参考文献 特開 昭4-14106 (J P, A)